

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年10月14日 (14.10.2004)

PCT

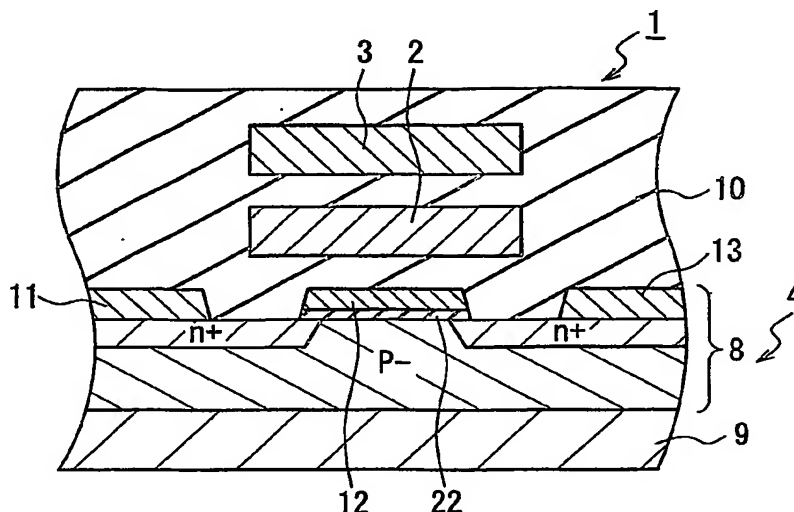
(10) 国際公開番号
WO 2004/088754 A1

- (51) 国際特許分類⁷: H01L 27/105, 27/22 (74) 代理人: 特許業務法人池内・佐藤アンドパートナーズ (IKEUCHI SATO & PARTNER PATENT ATTORNEYS); 〒5306026 大阪府大阪市北区天満橋1丁目8番30号OAPタワー26階 Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/004650
- (22) 国際出願日: 2004年3月31日 (31.03.2004)
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-096246 2003年3月31日 (31.03.2003) JP
特願2003-188057 2003年6月30日 (30.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 村上 元良 (MURAKAMI, Motoyoshi). 後藤 泰宏 (GOTOH, Yasuhiro).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY,

[続葉有]

(54) Title: MEMORY CELL, MEMORY USING THE MEMORY CELL, MEMORY CELL MANUFACTURING METHOD, AND MEMORY RECORDING/READING METHOD

(54) 発明の名称: メモリセルとこれを用いたメモリおよびメモリセルの製造方法ならびにメモリの記録/読出方法



(57) Abstract: A memory cell having a structure quite different from those of conventional memory cells and having various excellent characteristics. Its manufacturing method, a memory comprising such memory cells and resultantly having excellent characteristics, and a method for recording/reading information in/from the memory are also disclosed. The memory cell comprises a memory medium capable of holding information, a control unit for recording information in the memory medium, and a sensing element for reading information from the memory medium. The sensing element is provided independently of the memory medium. More specifically, the memory medium is, for example, a magnetic body, the control unit comprises a first magnetic field generating section for varying the magnetized state of the magnetic body by applying a magnetic field to the magnetic body, and the sensing element is disposed near the magnetic body and has a magnetic-to-electric conversion section having an electric characteristic varying with the magnetized state of the magnetic body.

[続葉有]



CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 従来のメモリとは全く構成が異なり、様々な特性に優れるメモリセルとその製造方法とを提供する。また、上記メモリセルを用いることによって、様々な特性に優れるメモリを提供する。また、上記メモリの記録/読出方法を提供する。情報を保持するメモリ媒体と、前記メモリ媒体に情報を記録する制御部と、前記メモリ媒体から情報を読み出す検出素子とを含み、前記検出素子は、前記メモリ媒体から独立しているメモリセルとする。より具体的には、例えば、前記メモリ媒体が磁性体であり、前記制御部は、前記磁性体に磁界を印加することによって前記磁性体の磁化状態を変化させる第1の磁界発生部を含み、前記検出素子は、前記磁性体の近傍に配置されており、かつ、前記磁性体の前記磁化状態に応じて電気的特性が異なる磁電変換部を含むメモリセルとする。

明 細 書

メモリセルとこれを用いたメモリおよびメモリセルの製造方法
ならびにメモリの記録／読出方法5 技術分野

本発明は、メモリセルとこれを用いたメモリ、および、メモリセルの製造方法に関する。ならびに、メモリの記録／読出方法に関する。

背景技術

- 10 従来、ランダムアクセスメモリ（RAM）として、DRAM、SRAMなどに代表される半導体メモリが広く用いられている。半導体メモリは、微細加工技術の進歩による高集積化、量産技術の進歩による低コスト化が進んでおり、様々な製品、デバイスのメモリとして幅広く普及している。しかしながら、DRAMなどの半導体メモリは、量産性に優れた
- 15 るものの、繰り返し記録特性や、耐熱性などに課題がある場合がある。例えば、一般的なDRAMは、100℃程度以下での使用が前提であり、環境温度がその範囲を超えて高温になった場合、メモリとしての特性が劣化する可能性が生じる。

- 半導体メモリのなかでも、商標名フラッシュメモリに代表される半導
- 20 体メモリは、微細加工技術の進歩による高集積化や大容量化、また、量産技術の進歩による低コスト化が進んでおり、様々なデバイスのメモリとして幅広く普及している。フラッシュメモリは、NAND型とNOR型とに大別される。しかしながら、フラッシュメモリは、一般に、情報の記録速度および読み出し速度に課題を有している。その他、フラッシ

メモリには、情報の記録前に一括消去が必要である、消費電力が大きい、放射線や応力などの外部環境の影響を受けやすいなどの課題が有ることが知られている。

一方、近年、磁気抵抗効果素子 (Magnetoresistive Element: MR素子) を用いたRAMである磁気メモリ (MRAM) が開発されている。MRAMは、繰り返し記録特性に優れており、また、フラッシュメモリなどに比べて読み出し (読出) 時間および記録時間がともに高速であるなどの優れた特性を有していることから、次世代のメモリとして盛んに開発が進められている。MRAMの一例は、例えば、JP2002-533916Aなどに開示されている。しかしながら、MRAMは、MR素子を構成する薄膜の膜厚によって特性が大きく変化するために、その製造にあたってはnmオーダーでの膜厚の制御が要求される。MR素子は、含まれる非磁性層の種類によって、GMR素子 (Giant Magnetoresistive Element: 巨大磁気抵抗効果素子) およびTMR素子 (Tunneling Magnetoresistive Element: トンネル磁気抵抗効果素子) に分類される。例えば、TMR素子において、非磁性層として一般的に用いられる Al_2O_3 層の膜厚は、サブnm～数nm程度の範囲である。製造工程におけるサブnmオーダーでの膜厚のばらつき制御は難しい。このため、例えば、シリコン (Si) ウェハなどの基板上に複数のMR素子を形成する場合、素子間の特性を一定の範囲におさめることが難しく、量産性や、微細化による高集積化に課題がある。

その他、現在用いられている、あるいは、開発が進められているRAMには、強誘電体材料が有する誘電体分極現象を利用した強誘電体メモリがある。しかしながら、強誘電体メモリには、製造時において微量の水素などにより汚染され、特性が劣化するという課題や、微細加工に適していない、使用可能な温度範囲が制限される、応力などの影響を受け

やすいなどといった課題がある。また、材料の相転移現象を利用した相変化型メモリなども開発が進められているが、アモルファスー結晶間の相転移現象を利用しているため、高温環境下における不揮発特性に劣るといった課題や、相変化時の体積変化に伴う応力、歪の抑制が困難であるといった課題がある。

発明の開示

本発明は、これら従来のメモリとは全く構成が異なり、かつ、様々な特性に優れるメモリセルとその製造方法とを提供することを目的とする。また、上記メモリセルを用いることによって、様々な特性に優れるメモリを提供することを目的とする。また、上記メモリの記録／読出方法を提供することを目的とする。

本発明のメモリセルは、情報を保持するメモリ媒体と、前記メモリ媒体に情報を記録する制御部と、前記メモリ媒体から情報を読み出す検出素子とを含み、前記検出素子は、前記メモリ媒体から独立している。

本発明のメモリセルでは、前記メモリ媒体が磁性体であり、前記制御部は、前記磁性体に磁界を印加することによって前記磁性体の磁化状態を変化させる第1の磁界発生部を含み、前記検出素子は、前記磁性体の近傍に配置されており、かつ、前記磁性体の前記磁化状態に応じて電気的特性が異なる磁電変換部を含んでいてもよい。

本発明のメモリセルでは、前記磁電変換部が、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子を含み、前記磁電変換素子は、前記磁性体から生じる磁束を検知するように、前記磁性体の近傍に配置されていてもよい。

次に、本発明のメモリセルの製造方法は、情報を保持するメモリ媒体と、メモリ媒体に情報を記録する制御部と、メモリ媒体から情報を読み

出す検出素子とを含み、検出素子はメモリ媒体から独立しており、

メモリ媒体が磁性体であり、制御部は、磁性体に磁界を印加すること
によって磁性体の磁化状態を変化させる磁界発生部を含み、検出素子は
、磁性体の近傍に配置されており、かつ、磁性体の磁化状態に応じて電
5 氣的特性が異なる磁電変換部を含み、

磁電変換部が、検知する磁界の状態に応じて電氣的特性が異なる磁電
変換素子を含み、磁電変換素子は、磁性体から生じる磁束を検知するよ
うに磁性体の近傍に配置されているメモリセルの製造方法であって、

(i) 半導体基板の表面に、検知する磁界の状態に応じて電氣的特性
10 が異なる磁電変換素子を形成する工程と、

(ii) 磁性体と前記半導体基板とによって前記磁電変換素子を挟持す
るように、前記磁性体を形成する工程と、

(iii) 前記磁性体の近傍に、前記磁性体の磁化状態を変化させる磁
界発生部を形成する工程とを含んでいる。また、前記(ii)の工程にお
15 いて、前記磁性体は、前記磁性体から生じる磁束を前記磁電変換素子が
検知するように前記磁電変換素子の近傍に形成される。

次に、本発明のメモリは、上述した本発明のメモリセルと、前記メモ
リセルに情報を記録するための情報記録用導体線と、前記情報を読み出
すための情報読出用導体線とを含んでいる。

20 次に、本発明のメモリの記録・読出方法は、上述した本発明のメモリ
の記録／読出方法であって、情報記録用導体線および情報読出用導体線
から選ばれる少なくとも1つの導体線に印加する電流を変化させること
によって情報の記録／読出を行うことを特徴としている。

より具体的には、例えば、前記情報記録用導体線に印加する電流を変
25 化させることによって第1の磁界発生部で発生する磁界を変化させ、前
記第1の磁界発生部で発生する磁界を変化させることによって（前記変

化した磁界によって)、本発明のメモリを構成するメモリセル内の磁性体の磁化状態を変化させて前記メモリに情報を記録する工程と、

前記情報読出用導体線に印加する電流を変化させることによって、磁電変換部の電気的特性を検出し、検出した前記電気的特性から前記メモリに記録された情報を読み出す工程とを含んでいてもよい。

図面の簡単な説明

図 1 は、本発明のメモリセルの一例を示す模式図である。

図 2 は、本発明のメモリセルの一例を示す模式図である。

10 図 3 は、本発明のメモリセルの別の一例を示す模式図である。

図 4 は、本発明のメモリセルのまた別の一例を示す模式図である。

図 5 A～図 5 C は、本発明のメモリセルにおける電気的な出力の変化の一例を説明するための模式図である。

15 図 6 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 7 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 8 A および図 8 B は、本発明のメモリセルにおける磁性体と磁界発生部との関係の一例を示す模式図である。

20 図 9 は、本発明のメモリセルに含まれる磁性体における温度と飽和磁化の値との関係の一例を示す図である。

図 10 は、本発明のメモリセルに含まれる磁性体における温度と飽和磁化の値との関係の別の一例を示す図である。

25 図 11 は、本発明のメモリセルに含まれる磁性体における温度と飽和磁化の値との関係のまた別の一例を示す図である。

図 12 は、本発明のメモリセルに含まれる磁性体における温度と飽和

磁化の値との関係のさらにまた別の一例を示す図である。

図 1 3 は、本発明のメモリセルに含まれる磁性体における温度と保磁力の値との関係の一例を示す図である。

図 1 4 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。
5

図 1 5 A および図 1 5 B は、オフセット磁界を説明するための図である。

図 1 6 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

10 図 1 7 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 1 8 A および図 1 8 B は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 1 9 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。
15

図 2 0 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 2 1 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

20 図 2 2 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 2 3 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 2 4 は、本発明のメモリセルにおける電氣的な出力の変化の一例を
25 説明するための模式図である。

図 2 5 A および図 2 5 B は、本発明のメモリセルにおける電氣的な出

力の変化の一例を説明するための模式図である。

図 2 6 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

5 図 2 7 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 2 8 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 2 9 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

10 図 3 0 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

図 3 1 は、本発明のメモリセルのさらにまた別の一例を示す模式図である。

15 図 3 2 は、本発明のメモリセルの制御方法の一例を示す模式図である。

図 3 3 は、本発明のメモリの一例を示す模式図である。

図 3 4 A および図 3 4 B は、本発明のメモリにおける基本動作の一例を示す模式図である。

20 図 3 5 は、本発明のメモリにおける基本動作の別の一例を示す模式図である。

図 3 6 は、本発明のメモリの別の一例を示す模式図である。

図 3 7 A ～図 3 7 H は、本発明のメモリセルの製造方法の一例を示す模式工程図である。

図 3 8 は、本発明のメモリの応用の一例を示す模式図である。

25 図 3 9 は、本発明のメモリの応用の一例を示す模式図である。

図 4 0 は、本発明のメモリの応用の一例を示す模式図である。

図 4 1 は、本発明のメモリの応用の一例を示す模式図である。

図 4 2 は、本発明のメモリの応用の一例を示す模式図である。

図 4 3 は、本発明のメモリの応用の一例を示す模式図である。

図 4 4 は、本発明のメモリの応用の一例を示す模式図である。

5 図 4 5 は、本発明のメモリの応用の一例を示す模式図である。

発明の実施形態

以下、図面を参照しながら本発明の実施の形態について説明する。なお、以下の実施の形態において、同一の部分に同一の符号を付して、重複する説明を省略する場合がある。

最初に、本発明のメモリセルについて説明する。

図 1 に本発明のメモリセルの一例を示す。図 1 に示すメモリセル 1 は、情報を保持するメモリ媒体 1 0 2 と、メモリ媒体 1 0 2 に情報を記録する制御部 1 0 3 と、メモリ媒体 1 0 2 から情報を読み出す検出素子 1 0 4 とを含んでいる。また、検出素子 1 0 4 は、メモリ媒体から独立している。

従来の代表的なメモリである半導体メモリ（例えば、DRAM、SRAM など）では、情報の記録および読み出しを行う回路内に、情報を記録する領域が形成されている。換言すれば、情報を記録する領域が、情報の記録および読み出しを行う回路に組み込まれている。即ち、メモリ媒体と検出素子とが一つの回路内で一体化されているともいえる。例えば、DRAMでは、集積回路中に形成されたコンデンサに電荷を蓄えることによって情報が記録され、上記コンデンサから電荷を取り出すことによって情報が読み出される。SRAMでは、集積回路中の双安定回路によって情報の記録／読み出しが行われる。また、磁気抵抗効果を利用したメモリであるMRAMでは、磁気抵抗効果が生じる多層膜構造が、

記憶媒体であると同時に読み出し部を兼ねている。

これに対して、本発明のメモリセル１では、メモリ媒体１０２に蓄えられた情報は、メモリ媒体１０２とは独立した検出素子１０４から読み出される。ここで、「独立している」とは、「メモリ媒体１０２と検出素子１０４とが電氣的に直接接続されていない（電氣的に独立している）」という意味である。このため、例えば、メモリ媒体に電氣的な操作を行うことなく、メモリ媒体に記録された情報を読み出すことができる。よって、記録および読み出し特性が安定したメモリセル１とすることができる。

10 また、メモリ媒体１０２に用いる材料やメモリ媒体１０２の構成を選択したり、検出素子１０４の構成を選択したりすることによって、様々な効果をさらに選択することも可能になる。上記効果の具体例については、明細書中にその都度述べることとする。

メモリ媒体１０２は、メモリ媒体１０２自身に記録された情報に応じて、その物理的特性あるいは化学的特性が異なればよい。例えば、不揮発性の固体メモリであればよい。より具体的には、例えば、コンデンサや相転移材料を含むメモリ媒体１０２であってもよいし、あるいは、後述するような磁性体のメモリ媒体１０２（磁性材料を含むメモリ媒体１０２）であってもよい。例として、メモリ媒体１０２が磁性体である場合、例えば、記録した情報に応じて磁性体の磁化状態（例えば、磁化方向）が異なればよい。この場合、磁気エネルギーの形態で、メモリ媒体１０２から検出素子１０４に情報が伝達される。メモリ媒体１０２から検出素子１０４への情報伝達手段は特に限定されず、上記磁気エネルギーの他に、例えば、熱エネルギーや力学エネルギー（例えば、内部応力）の形態で情報が伝達されてもよい。

検出素子１０４は、例えば、メモリ媒体１０２の物理的あるいは化学

的特性に応じて、電気的特性が異なればよい。電気的特性が異なるとは、例えば、電気的な出力が異なればよい。また、具体的な電気的特性は、例えば、電気抵抗、熱起電力、電気伝導度などの特性であればよい。具体的な例としては、後述するように、トランジスタを含み、上記トランジスタがメモリ媒体に記録された情報に応じて電気的特性が異なるトランジスタであればよい。

制御部 103 は、記録する情報に応じて、メモリ媒体 102 の物理的あるいは化学的特性を変化させることができる限り、その構造などは特に限定されない。例えば、メモリ媒体 102 が磁性体である場合、メモリ媒体 102 に磁界を印加する構造を制御部 103 が有していればよい。その他、例えば、熱や圧力をメモリ媒体 102 に印加する構造を制御部 103 が有していてもよい。

本発明のメモリセルの具体例について以下に説明する。

図 2 に本発明のメモリセルの一例を示す。図 2 に示すメモリセル 1 は、磁性体 2 と、磁性体 2 に磁界を印加することによって磁性体 2 の磁化状態を変化させる磁界発生部 3 と、磁性体 2 の近傍に配置され、磁性体 2 の磁化状態に応じて電気的特性が異なる磁電変換部 4 とを含んでいる。換言すれば、図 2 に示すメモリセル 1 では、メモリ媒体 102 が磁性体 2 である。また、制御部 103 は、磁性体 2 に磁界を印加することによって磁性体 2 の磁化状態を変化させる磁界発生部 3 を含んでいる。検出素子 104 は、磁性体 2 の近傍に配置されており、かつ、磁性体 2 の磁化状態に応じて電気的特性が異なる磁電変換部 4 を含んでいる。

このようなメモリセル 1 では、磁界発生部 3 で発生させた磁界 5 によって、磁性体 2 の磁化状態（例えば、磁化方向 6 や磁化の大きさなど）を変化させることができる。例えば、磁界発生部 3 に電気信号を入力し、入力した電気信号に対応する磁界 5 を磁性体 2 に印加することによっ

て、磁性体 2 の磁化状態を上記電気信号に対応した磁化状態とすることができる。このため、磁性体 2 の磁化状態の形で情報を記録、保持することができる。また、磁電変換部 4 によって、磁性体 2 の磁化状態に応じて異なる電気信号を出力することができる。即ち、図 1 に示す構成と
5 することによって、磁性体 2 をメモリ媒体、磁界発生部 3 をメモリ媒体に情報を記録する書き込み部、磁電変換部 4 をメモリ媒体に記録された情報を再生する読み出し部（読出部）とするメモリセル 1 とすることができる。なお、図 2 では、説明を分かりやすくするために、ハッチは省略する。以降の図においても同様にハッチを省略する場合がある。

10 このように図 2 に示すメモリセル 1 では、従来の代表的な R A M である半導体メモリとは異なり、メモリ媒体（記憶媒体）である磁性体 2 の磁化状態の形で情報が保存される。このため、記録、再生を繰り返し行った場合にも特性が安定したメモリセルとすることができる。また、磁性体 2 の磁化状態が変化する速度は、磁性体 2 の材料、構成や形状、磁
15 界発生部 3 の構造および構成などによっては、数十 n s e c ~ 1 0 p s e c 程度のオーダーとすることが可能である。このため、記録速度（書き込み速度）に優れるメモリセルとすることができる。また、情報の記録時にも、磁性体 2 の磁化状態の一括消去、一括初期化などは必ずしも必要とされない。

20 本発明のメモリセルがこのような記録速度を実現可能であることは、例えば、フラッシュメモリに対して大きな優位性となる。フラッシュメモリでは、散乱したチャネルホットエレクトロンの一部をフローティングゲートに蓄積することによって情報が記録される。このため、情報の記録には多量のチャネルホットエレクトロンが必要であり、比較的長い
25 記録時間および／または高い電流値（大きい電力）が必要とされる。例えば、N A N D 型の一般的なフラッシュメモリの場合、5 1 2 B（バイ

ト) の情報を記録するためには、約 $200 \mu \text{sec}$ の記録時間が必要である。情報を記録する前の一括消去には、より長い時間が必要（例えば、 16KB の消去には、約数 msec の時間が必要）である。情報の読み出し時にも、例えば、ランダムアクセス時には、約 $25 \mu \text{sec}$ の読み出し時間が必要である。これに対して、本発明のメモリセルでは、上述したような記録速度が実現可能である。なお、本発明のメモリセルにおいても、それほど早い記録速度が必要ではない場合には、磁性体 2 の材料、構成や形状、磁界発生部 3 の構造および構成などを制御することによって、上述した記録速度の範囲よりも遅い記録速度としてもよい。

10 メモリセルとして必要な特性に応じて任意に設定すればよい。

また、磁性体 2 に用いる磁性材料を選択することによって、耐熱性などの耐環境特性に優れるメモリセルや、記録した情報の不揮発性に優れるメモリセル、出力特性に優れるメモリセル、生産性に優れるメモリセルなど、特性を選択したメモリセルとすることができる。例えば、磁性

15 体 2 の保磁力をある程度大きく設定することによって、情報の不揮発性に優れるメモリセルとすることができる。磁性体 2 の保磁力よりも大きい磁界が磁性体 2 に新たに印加されるまで、磁性体 2 の磁化状態の変化を抑制できるからである。

図 2 に示すメモリセル 1 の構成は、MRAM の構成とも異なっている

20 。MRAM では、メモリセル 1 と同様に、磁性体の磁化状態の形で情報が保存される。しかし、MRAM では、非磁性層と、非磁性層を挟持する一対の磁性層を含む多層膜構造が必要であるのに対して（MRAM では、上記一対の磁性層における磁化方向の相対角度の形態で情報が保存される）、本発明のメモリセル 1 では、このような多層膜構造は必ずしも

25 必要ではない。最も単純な例では、例えば、磁性体 2 が単一の磁性材料からなる一層構造の磁性体であってもよい。また、MRAM のように

、多層膜構造を形成するためのサブnmオーダー～nmオーダーでの膜厚制御も必ずしも必要ではない。このため、シリコン（Si）ウェハーなどの基板上に複数の素子を形成する場合においても、微細化が可能で素子間の特性が安定した、生産性に優れるメモリセル1とすることができる。なお、本明細書において、磁性層とは磁性材料を含む層であり、磁性体は少なくとも一層の磁性層を含んでいるとする。

また、MRAMでは、上記多層膜構造が、記憶媒体であると同時に読み出し部を兼ねている。即ち、記憶媒体と読み出し部とは電氣的に直接接続されている。これに対して、本発明のメモリセル1では、記憶媒体（磁性体2）と読み出し部（磁電変換部4）とが電氣的に分離されている。このため、書き込み特性および読み出し特性が安定したメモリセル1とすることができる。また、MRAMでは、磁性体の磁化方向が一般的に磁性体の膜面に平行であるが、後述するように、本発明のメモリセル1では、磁性体の磁化方向は磁性体の主面に対して平行である必要はなく、磁性体の主面に対して角度を有する方向に磁化方向が向いていることが好ましい。

なお、図2に示すメモリセル1の例では、磁界発生部3と磁性体2とが、また、磁性体2と磁電変換部4とが接しているが、各々の部分は必ずしも接している必要はない。例えば、磁性体2、磁界発生部3、磁電変換部4の各々が、絶縁体や、空孔、ガス等の空間などを介して配置されていてもよい。

図2に示すメモリセル1の各部分について説明する。

磁電変換部4は、磁性体2の磁化状態に応じて電氣的特性が異なれば、その構造、構成、大きさなどは特に限定されない。例えば、磁電変換部4が、検知する磁界の状態に応じて電氣的特性が異なる磁電変換素子を含み、磁電変換素子は、磁性体2から生じる磁束を検知するように、

磁性体 2 の近傍に配置されていてもよい。電気的特性の種類は特に限定されず、例えば、検知する磁界の状態に応じて電気抵抗値が異なる磁電変換素子であってもよい。また、検知する磁界の状態に応じて、ホール電圧が異なる磁電変換素子であってもよい。

- 5 磁電変換素子が半導体基板の表面に形成することができる素子、例えば、半導体素子である場合、一般的な半導体加工プロセスを用いて本発明のメモリセル 1 を製造することができる。このため、量産性に優れ、低コストで製造が可能なメモリセル 1 とすることができる。なお、磁電変換部 4 が上述したような磁電変換素子を含む場合、磁電変換部 4 は一つあるいは複数の磁電変換素子を含んでいてもよいし、磁電変換素子の電気的特性の変化を検知するための回路を含んでいてもよい。

- 10 磁電変換部 4 と磁性体 2 との距離は、磁性体 2 の磁化状態に応じて磁性体 2 から生じる磁束が磁電変換部 4 によって検知できる限り、特に限定されない。磁性体 2 の磁気的な特性、磁電変換部 4 の特性などに応じて任意に設定すればよい。例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{ m}$ の範囲、より好ましくは、 $4\text{ nm} \sim 500\text{ nm}$ の範囲であればよい。磁電変換部 4 と磁性体 2 との距離は、磁性体 2 への汚染などの問題が無ければ小さいほど好ましい。なお、Si 系半導体（例えば、Si、SiGe、SiGeC、SiC など）の微細加工の下限は、現在のところ 4 nm 程度とされている。

20 また、磁電変換部 4 が上述したような磁電変換素子を含む場合、磁電変換素子と磁性体 2 との距離についても同様に、例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{ m}$ の範囲、より好ましくは、 $4\text{ nm} \sim 500\text{ nm}$ の範囲であればよい。

- 25 図 3 に、本発明のメモリセルの別の一例を示す。図 3 に示すメモリセル 1 は、磁性体 2 と、磁性体 2 に磁界 5 を印加することによって磁性体

2の磁化状態（例えば、磁化方向6や磁化の大きさなど）を変化させる磁界発生部3と、磁性体2の近傍に配置され、磁性体2の磁化状態に応じて電気的特性が異なる磁電変換部4とを含んでいる。ここで、磁電変換部4は、検知する磁界の状態に応じて（即ち、メモリ媒体102に記録された情報に応じて）電気抵抗値が異なる磁電変換素子としてトランジスタ8を含んでいる。トランジスタ8は、磁性体2から生じる磁束7を検知するように磁性体2の近傍に配置されている。このようなメモリセル1は、半導体素子であるトランジスタ8をSiなどからなる半導体基板9の表面に形成することができるため、一般的な半導体加工プロセスを用いて製造することができる。このため、量産性に優れ、低コストで製造が可能なメモリセル1とすることができる。また、磁性体2の磁性材料を選択することによって、高温あるいは低温下での安定性に優れたメモリセル1とすることも可能である。

磁電変換素子であるトランジスタ8と磁性体2との距離は、磁性体2の磁化状態に応じて磁性体2から生じる磁束7をトランジスタ8が検知できる限り、特に限定されない。磁性体2の磁気的な特性、トランジスタ8の種類などに応じて任意に設定すればよい。例えば、1nm～100μmの範囲、好ましくは、4nm～500nmの範囲であればよい。より具体的には、トランジスタ8がMOSトランジスタである場合にも、例えば、1nm～100μmの範囲、好ましくは、4nm～500nmの範囲であればよい。

トランジスタ8の種類は特に限定されず、例えば、電界効果トランジスタ、バイポーラトランジスタ、ダイオードなどを用いればよい。なかでも、電界効果トランジスタとしてMOSトランジスタを用いた場合、微細加工が可能であり、より集積度の高いメモリセルとすることができる。なお、MOSトランジスタとは、ゲートの構造が、”導電体もしくは

は固有抵抗値が小さいポリシリコンなどの半導体からなる層”、”絶縁層”および”半導体層（p形、n形などの導電性を有する半導体層、真性半導体層など）”の少なくとも3層からなるトランジスタをいう。

- また、トランジスタ8の具体的な構成は特に限定されず、一般的に用いられている構成のトランジスタを用いればよい。例えば、MOSトランジスタの場合、nチャネルMOSトランジスタであってもよいし、pチャネルMOSトランジスタであってもよい。接合型電界効果トランジスタの場合、nチャネルトランジスタであっても、pチャネルトランジスタであってもよい。
- 10 半導体基板9は、その表面にトランジスタ8を形成できる限り、特に限定されない。例えば、結晶シリコンからなる半導体基板を用いればよい。IIb族元素、IIIb族元素、Vb族元素、VIb族元素（新IUPAC表示によれば、12族、13族、15族、16族）などの不純物をドーピングした半導体基板であってもよい。その他、半導体基板としては、例えば、Ga₂N、Ga₂P、Ga₂AsなどのIIIb族（同13族）元素およびVb族（同15族）元素を含む化合物半導体からなる基板を用いてもよい。また、ZnS、ZnSeなどのIIb族（同12族）元素およびVIb族（同16族）元素を含む化合物半導体からなる基板を用いてもよい。また、絶縁層を含むSOI（Silicon on insulator）基板であってもよい。
- 20

なかでも、結晶シリコンからなる半導体基板を用いた場合、一般的な半導体加工プロセスを用いて大口径シリコンウェハーを一括処理することによって、同一ウェハー上に大量のメモリセル1を同時に形成することもできる。このため、より量産性に優れるメモリセル1とすることができ。また、SOI基板を用いた場合、セルの微細化に伴って発生する短チャネル効果（後述する）の抑制に適しているため、磁電変換部4

25

の小型化が可能となり、より小型のメモリセル1を得ることができる。
なお、半導体基板9の厚さは、特に限定されない。

なお、図3に示す例では、磁性体2とトランジスタ8との間、磁性体2と磁界発生部3との間、磁界発生部3上のそれぞれに、絶縁体10が
5 配置されている。絶縁体10を配置することによって、各部分間の電気的な絶縁を保つことができる。絶縁体10としては、例えば、 SiO_2 、 SiN 、 SiF 、 ZnS 、 ZnS-SiO_2 、アルミナ(Al_2O_3)、 $\text{O-N-O}(\text{SiO}_2-\text{SiN}_x-\text{SiO}_2)$ など、その他、カルコゲン化合物、 TaO_2 などの酸化物、 AlN などの窒化物、有機物、樹脂あるいは、複数のこれらの化合物を含む材料などを用いればよい。
10

絶縁体10の誘電率は小さい方が好ましい。具体的には、比誘電率が、例えば、 $1\text{ F/m} \sim 3\text{ F/m}$ の範囲であればよい。セルを微細化、高集積化した場合に、記録速度や読み出し速度の低下、および/または、配線損失の増大を抑制できるからである。なお、上述したように、絶縁
15 体10は必ずしも必要ではなく、必要に応じて配置すればよい。また、絶縁体10は、空孔などであってもよい。

また、磁電変換素子はトランジスタ8に限定されない。その他の素子であってもよいし、トランジスタとトランジスタ以外の素子との組み合わせであってもよい。

20 図4に、本発明のメモリセルのまた別の一例を示す。図4に示すメモリセル1は磁電変換素子としてトランジスタを用いている。図4は、図3に示すメモリセル1のトランジスタ8をより具体的に示したものであるといえる。図4に示すメモリセル1におけるトランジスタ8はnチャネルMOSトランジスタであり、ソース電極11、ゲート電極12、ド
25 レイン電極13およびゲート絶縁膜22を含んでいる。

本発明のメモリセル1では、トランジスタ8が、ゲート電極12とド

レイン電極 13 とを等電位にした MOS トランジスタであってもよい。
このようなメモリセルでは、ゲート電極およびドレイン電極間で配線を
共用できるため、より小型で集積度の高いメモリセルとすることができ
る。ゲート電極 12 とドレイン電極 13 とを等電位にする構造は特に限
5 定されず、例えば、図 4 においてゲート電極 12 とドレイン電極 13 と
が共通であればよい。トランジスタ 8 として p チャネル MOS トランジ
スタを用いた場合も同様である。

トランジスタ 8 におけるゲート電極 12 は導電体であればよく、例え
ば、金属や、ポリシリコン、導電性の有機物、樹脂などからなる電極で
10 あってもよい。

ゲート絶縁膜 22 は、 SiO_2 からなる膜の他に、 Al_2O_3 、ハフニ
ウムシリケート (HfSiON)、窒化シリコン (SiN_x)、 SiF
、 O-N-O ($\text{SiO}_2\text{-SiN}_x\text{-SiO}_2$)、絶縁性を有する有機物
、樹脂などからなる膜であってもよい。ゲート絶縁膜 22 の誘電率は大
15 きい方が好ましい。具体的には、比誘電率が、例えば、 3.5 F/m 程
度であればよい。MOS トランジスタを微細化した場合、ゲート絶縁膜
22 の膜厚を小さくする必要がある。このとき、ゲート絶縁膜の誘電率
が大きい方が、ゲート絶縁膜の膜厚をより大きく保持することが可能で
ある。このため、ゲート絶縁膜の絶縁破壊やトンネル効果によるリーク
20 電流を抑制することができる。

また、トランジスタ 8 を微細化した場合、閾値電圧がばらつく現象で
ある、いわゆる短チャネル効果が発生する可能性がある。このような短
チャネル効果の抑制によって、トランジスタ 8 をより微細化、即ち、メ
モリセル 1 をより小型化することができる。短チャネル効果を抑制する
25 ためには、例えば、トランジスタ 8 中の 1 つのチャネルに対して複数の
ゲートを配置したり、チャネル全体をゲートで被ったり、あるいは、チ

チャネルの一面だけではなく複数の面を被うようにしたりすればよい。このようなMOSトランジスタの具体的な例としては、デュアルゲートトランジスタ（例えば、FinFETなど）やトライゲートトランジスタなどがある。

- 5 ここで、磁電変換素子としてトランジスタを用いた場合、磁性体2から生じる磁束7によってトランジスタの電気抵抗値が異なる原理について説明する。図5A～図5Cは、図4に示すトランジスタ8を、磁性体2の側から見た模式図である。ノーマリーオフのトランジスタの場合、トランジスタ8のゲート電極12に所定の値以上の電圧を加えれば、ゲート電極12近傍のp⁻層（一般に、バルク、あるいは、ウェルと呼ばれる）にチャネル14が形成される。チャネル14が形成されることによって、ドレイン電極13側からソース電極11側へ電流15が流れることになる。ここで、磁性体2から生じる磁束がトランジスタ8に加わっていない場合、図5Aに示すように、電流15はチャネル14を介してほぼまっすぐにソース電極11へと流れる。これに対し、上記磁束がトランジスタ8に加わると、図5Bに示すように、磁束と電流とが相互作用し（電流に対してローレンツ力が働く）、電流が流れる方向が変化する。この変化の度合いは、トランジスタ8に加わる磁束の状態によって異なる。例えば、磁束の大きさが図5Bに示す場合よりも大きくなれば、図5Cに示すように、電流が流れる方向の変化の度合いも大きくなる。このとき、図5A～図5Cに示すように、電流が流れる方向が変化する度合いが大きいほど、電流の程路長が大きくなる。即ち、トランジスタ8に加わる磁束の状態に応じて電流の程路長に差が生じることによって、トランジスタ8の電気抵抗値が変化するといえる。なお、図5A～図5Cに示す例では、電流の流れる方向がチャネル14において変化する現象を模式的に示したが、本発明のメモリセル1において、電流の
- 10
- 15
- 20
- 25

流れる方向が変化するトランジスタ内の部位は、チャンネル 1 4 に限定されない。磁性体 2 から生じる磁束が加えられる部位である限り、電流の流れる方向を変化させることができる。なお、ノーマリーオンのトランジスタである場合は、トランジスタ 8 のゲート電極 1 2 に印加する電圧

5 を所定の値以下にすることによって、同様の効果を得ることができる。

トランジスタ 8 の電気抵抗値の変化の度合いは、例えば、磁性体 2 の磁化状態（磁化方向 6 や磁化の大きさなど）、磁性体 2 とトランジスタ 8 との間の距離、磁性体 2 およびトランジスタ 8 の大きさ、磁性体 2 とトランジスタ 8 との間に成立している位置関係などを調節することによ

10 って制御することができる。図 5 A～図 5 C の説明から分かるように、磁性体 2 とトランジスタ 8 との位置関係は、磁性体 2 とトランジスタ 8 のチャンネル 1 4 とが相互作用を有する位置に配置されていれば特に限定されない。このとき相互作用とは、トランジスタ 8 の電気的特性（例えば、電気的な出力、より具体的には、例えば、電気抵抗値）を変化させる

15 ことができる作用のことである。具体的には、トランジスタ 8 が MOS トランジスタである場合、例えば、図 4 に示すように磁性体 2 がゲート電極 1 2 の近傍に配置されていればよい。このとき、ゲート電極 1 2 の全面に（チャンネル 1 4 全体に）磁性体 2 から生じる磁束が加わるように磁性体 2 を配置することが好ましい。

20 本発明のメモリセル 1 では、磁電変換素子が複数のチャンネルを有するトランジスタであってもよいし、磁電変換素子が複数のトランジスタを含んでいてもよい。これらの具体的な例については後述する。

次に、磁界発生部について説明する。

図 2 に示すメモリセル 1 において、磁界発生部 3 は、磁性体 2 に磁界

25 5 を印加することによって磁性体 2 の磁化状態（例えば、磁化方向 5 や磁化の大きさなど）を変化させることができる限り、その構造、構成な

どは特に限定されない。磁性体 2 の磁性的な特性、磁性体 2 のサイズ、磁性体 2 との距離などに応じて任意に設定すればよい。

本発明のメモリセルのさらにまた別の一例について図 6 に示す。図 6 に示すメモリセル 1 は、磁界発生部 3 が磁界を誘起する配線 16 を含んでいる。また、配線 16 は、磁電変換部 4 である n チャネル MOS トランジスタ 8 と配線 16 とによって磁性体 2 を挟持するように配置されている。このようなメモリセルでは、配線 16 に電流を流すことによって磁界を発生させ、磁性体 2 の磁化状態を変化させることができる。例えば、配線 16 に流す電流の方向を反転させれば、磁性体 2 の磁化方向を容易に反転させることができる。配線 16 に流す電流は、回路の構成によっては、数十 ns ～ 10 psec のオーダーで変化させることができる（即ち、磁性体 2 の磁化状態を同等の速度で変化させることができる）ため、書き込み速度に優れるメモリセル 1 とすることができる。

配線 16 に用いる材料は、導電性材料である限り、特に限定されない。例えば、固有抵抗値が小さい金属材料や、合金、金属化合物などを用いればよい。より具体的には、例えば、Al や Cu、その他、W、Ti、Mn、TiW、Ag、Au、AlTi、Pt、シリサイド（SiPt などのシリコンと金属との化合物の総称）などを含む材料や、これらの材料から選ばれる少なくとも 1 種を含む合金材料などを用いればよい。

配線 16 の太さ、形状なども特に限定されない。メモリセル 1 として必要な特性に応じて、任意に設定すればよい。配線 16 の太さは、例えば、断面積にして $10 \text{ nm}^2 \sim 1 \text{ mm}^2$ の範囲である。 10 nm^2 以下では、磁性体 2 の磁化状態を変化させるための電流を印加した場合に、発熱し、エレクトロマイグレーションなどによる断線や、他の配線との電気的な短絡が生じる可能性がある。なかでもメモリセルの小型化の観点からは、 $20 \text{ nm}^2 \sim 1 \mu\text{m}^2$ の範囲が好ましい。

配線 16 の形状は、例えば、その断面が矩形状、円状、楕円状、台形状などであればよい。より具体的には、その断面が略矩形状である場合、例えば、その長辺が $10\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲、短辺が $1\text{ nm} \sim 50\text{ }\mu\text{m}$ の範囲であり、 4 nm 以上が好ましい。長辺が 10 nm 未満である場合、配線抵抗が増大する可能性がある。また、短辺を 4 nm 未満とする微細加工は非常にコストが高くなる可能性がある。例えば、Si 半導体における微細加工の限界値は、現在、 4 nm 程度である。この場合、配線 16 の長辺および短辺のどちらが磁性体 2 に面していてもよい。

配線 16 と磁性体 2 との距離は、磁性体 2 の磁化状態を変化させることができる限り、特に限定されない。メモリセル 1 として必要な特性に応じて、任意に設定すればよく、例えば、 $100\text{ }\mu\text{m}$ 以下の範囲であり、好ましくは、 $0.1\text{ }\mu\text{m}$ 以下の範囲である。配線 16 と磁性体 2 とが接していてもよく、この場合、配線 16 において発生した磁界をより効率よく磁性体 2 に印加することができる。このため、書き込み速度がより高速なメモリセル 1 とすることができる。なお、上述したが、配線 16 と磁性体 2 とが直接接することによって、電氣的な短絡などの問題が発生する場合には、配線 16 と磁性体 2 との間に絶縁体などの別の材料を配置してもよい。また、配線 16 と磁性体 2 との間に、有機材料や気泡、空間などを配置することによって絶縁を保ってもよい。このとき、気泡を真空にする、あるいは、気泡に空気や不活性ガスを封入すれば、より両者の間の絶縁性を向上させることができる。

配線 16 の磁性体 2 に対する位置は、磁性体 2 に磁界 5 を印加でき、かつ、磁性体 2 から生じる磁束 7 が磁電変換部 4 に到達するのを妨げない限り、特に限定されない。図 6 に示すように、配線 16 と磁電変換部 4 とによって磁性体 2 を挟持する位置に配置されていてもよいし、磁性体 2 の側方に配置されていてもよい。

本発明のメモリセルのさらにまた別の一例を図 7 に示す。図 7 に示すメモリセル 1 では、配線 1 6 は磁性体 2 の周囲にコイル状に捲回して配置されている。このようなメモリセルでは、より効率よく磁性体 2 に磁界を印加することができる。このため、より記録特性（書き込み特性）
5 に優れるメモリセルとすることができる。

配線 1 6 をコイル状に捲回する形状は、磁性体 2 に磁界を印加できる限り、特に限定されない。例えば、図 8 A および図 8 B に示すように、磁性体 2 を捲回してもよい。なお、図 8 A および図 8 B は、図 7 に示すメモリセル 1 を上方（図 7 に示す矢印 A の方向）から見た図であり、図
10 8 A および図 8 B では、磁性体 2 と配線 1 6 以外の部分は省略している。

また、図 7 に示す配線 1 6 は、薄膜を加工して形成した配線であってもよい。例えば、配線 1 6 を構成する材料からなる薄膜を形成し、エッチングなどによりコイルの形状を形成すれば、薄膜を加工して形成した
15 コイル状の配線 1 6 を得ることができる。このようなコイル状の配線 1 6 は、集積が容易で、また、形状の自由度が高いため、より効率よく磁性体 2 に磁界を印加することができる。このため、より書き込み特性に優れるメモリセルとすることができる。なお、この場合、薄膜の厚さは、
20 例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲である。コイルが略矩形状である場合、形成した薄膜の厚さを、コイルの断面の一辺の長さとすることができる。なお、以降の図において、コイル状に捲回された配線 1 6 を配線 1 7 として示す。

次に、磁性体について説明する。

図 2 に示すメモリセル 1 において、磁性体 2 は、少なくとも 1 層の磁性層を含んでいけばよい。ここで、磁性層とは、磁性材料を含む層である。
25 磁性体 2 に含まれる磁性層の厚さ、磁性層の数などは、磁性体 2 と

して必要な特性に応じて任意に設定すればよい。例えば、単一の磁性材料からなる一層構造の磁性体であってもよいし（この場合は、磁性層＝磁性体である）、組成の異なる磁性層を複数積層して磁性体としてもよい。組成の異なる磁性層を複数含む磁性体とすることによって、より詳細に特性を制御したメモリセル１とすることができる。また、必要に応じて、磁性体２が、磁性層以外の層や磁性材料以外の材料（例えば、非磁性層、非磁性材料や常磁性層、常磁性材料、絶縁体など）を含んでいてもよい。

磁性体２の形状は、特に限定されない。また、１つのメモリセル１に含まれる磁性体２の数も特に限定されない。後述するが、メモリセル１の多値化の程度や、トランジスタ８の形状などに応じて、任意に設定すればよい。

磁電変換部４に面している面に対して垂直な方向における磁性体２の厚さは、特に限定されない。例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{ m}$ の範囲であればよく、微細加工の観点からは、 $10\text{ nm} \sim 20\text{ }\mu\text{ m}$ の範囲が好ましい。磁性体２の磁電変換部４に面している面の面積は、特に限定されない。例えば、 $10\text{ }\mu\text{ m}^2$ 以下であればよく、 $20\text{ nm}^2 \sim 2\text{ }\mu\text{ m}^2$ の範囲が好ましい。なお、Si系半導体材料の微細加工の限界値は、数 $\text{ nm} \times$ 数 nm 程度といわれている。このような微細加工を行った場合に、磁性体が発生する磁束が安定して、かつ、効率よく磁電変換部に作用するためには、磁性体の厚さが上述の範囲にあることが好ましい。また、上記面積が小さいほど、より小型のメモリセル１とすることができる。メモリセル１が小型であるほど、より高密度で集積度が大きいメモリを形成することができる。

磁性体２に用いる磁性材料は、特に限定されない。例えば、フェリ磁性を有する磁性材料（フェリ磁性材料）あるいは強磁性を有する磁性材

料（強磁性材料）を用いればよい。これらの磁性材料を用いた場合、磁界発生部 3 による磁性体 2 の磁化状態の変化をより容易に行うことができ、より書き込み特性に優れるメモリセル 1 とすることができる。なかでも、フェリ磁性材料を用いた場合、磁性体 2 の磁電変換部 4 に面する
5 面に対して垂直な方向に磁気異方性を付与できるため、磁性体 2 から生じ、磁電変換部 4 へ作用する磁束 7 をより大きくすることができる。このため、より特性に優れるメモリセル 1 とすることができる。また、磁性体 2 に適度な保磁力を有する磁性材料（例えば、保磁力が、 $80\text{ A/m} \sim 3000\text{ A/m}$ 程度の範囲の材料）を用いることによって、磁界発生部 3 による作用が無くなった後でも、不揮発的に磁化状態を保つこと
10 ができる。このため、不揮発性により優れるメモリセル 1 とすることができる。

フェリ磁性材料は、特に限定されず、例えば、希土類－遷移金属系磁性材料やフェライトなどを用いればよい。また、強磁性材料は、特に限定されず、遷移金属を含む酸化物からなる磁性材料などを用いればよい
15 。

より具体的には、例えば、 GdFeCo 、 GdFeCoAl 、 GdFeCoCr 、 TbDyFeCoAl 、 TbDyFeCr 、 TbFeCoAl 、 TbHoFeCoAl 、 TbFeCo 、 TbHoFeCo 、 TbFeCoCr 、 TbHoFeCoCr 、 GdFe 、 TbFe 、 TbHoFe 、 TbCo 、 GdCo 、 GdTbFe 、 GdTbFeCo 、 GdTbHoFeCo 、 DyFeCo 、 GdFeCoSi 、 TbFeCoSi などの希土類－遷移金属系磁性材料（例えば、非晶質の形態）、あるいは、 MnBi 、 MnCuBi 、 MnBiAl 、 PtMnSn などの Mn
20 系磁性材料（例えば、多結晶の形態）、あるいは、ガーネット、 PtCo 、 PdCo などの白金族－遷移金属系磁性材料（例えば、合金の形態
25

）、あるいは、Pt/Co、Pd/Coなどの金、白金族—遷移金属系磁性材料（例えば、周期構造合金の形態）、あるいはFeフェライト、 α Fe、Coフェライト、NiZnフェライト、Coフェライト酸化物などのフェライトなどを用いればよい。これらの材料を単独で用いて磁性体2を形成してもよいし、それぞれの磁性材料からなる磁性層を複数積層して磁性体2を形成してもよい。なお、上述の磁性材料の組成比は特に限定されない。また、磁性体2の耐食性を改善するなどのために、上述の磁性材料とは別に、Cr、Al、Ti、Pt、Nbなどの元素が磁性体2に添加されていてもよい。

10 本発明のメモリセル1では、磁性体2が、保磁力の異なる複数の成分を含む多元系の磁性材料（例えば、希土類—フェライト磁性材料など）を含んでいてもよい。より具体的には、例えば、SmCo、NdFeB、SmFeNなどを含んでいてもよい。このような磁性体2を用いた場合、磁電変換部4にオフセット磁界をさらに印加することができる。このため、磁性体2の磁化状態に応じた磁電変換部4の電気的特性の変化をより大きくすることができ、より読み出し特性に優れるメモリセル1とすることができる。なお、オフセット磁界およびその効果については、後述する。

20 本発明のメモリセル1では、磁性体2の飽和磁化の値が極大となる温度が80℃～300℃の範囲であってもよい。このような磁性体2を用いた場合、80℃以上の高温においても特性の劣化が少ない、耐熱性に優れるメモリセル1とすることができる。このような磁性体2は、例えば、TbFeCo、DyFeCo、TbGdFeCoなどの磁性材料を含む磁性体である。

25 一般に、磁性材料の飽和磁化（ M_s ）の値は温度によって変化し、なかでもフェリ磁性材料の場合、固有の温度領域で極大となる。図9に、

温度 T ($^{\circ}\text{C}$) に対する磁性材料の飽和磁化 (M_s) の値の変化の一例を示す。図 9 に示す例では、およそ 180°C において飽和磁化の値が極大となっている。磁電変換部 4 に面する面に対して垂直な方向に磁化を有する磁性体 2 では、磁性体 2 に含まれる磁性材料の飽和磁化の値が大きいほど、磁性体 2 から生じ、磁電変換部 4 に作用する磁束 7 が大きいと考えられる。このため、図 9 に示す磁性材料を含む磁性体 2 では、約 180°C 近傍において、上記磁束 7 が最も大きくなると考えられる。即ち、図 9 に示す磁性材料を含む磁性体とすることによって、 180°C 程度以上の高温においても特性の劣化が少ないメモリセル 1 とすることができる。このように、磁性体 2 に含まれる磁性材料を選択することによって、温度に対する磁性体の飽和磁化の値を制御し、様々な温度特性を有するメモリセル 1 とすることができる。例えば、磁性体の飽和磁化の値が極大となる温度が、 0°C 以下であってもよい。このような磁性体を用いた場合、 0°C 以下の低温においても特性の劣化が少ない、耐環境特性に優れるメモリセル 1 とすることができる。

図 10 ～ 図 12 に、温度に対する磁性材料の飽和磁化 (M_s) の値の変化の別の例を示す。

図 10 に示す例では、約 0°C において飽和磁化の値が極大となる。図 11 に示す例では、約 -50°C において飽和磁化の値が極大となる。また、図 12 は、約 120°C において飽和磁化の値が極大となる磁性材料例 (a) と、約 250°C 程度まで飽和磁化の値がほぼ一定であり、キュリー温度が 500°C 以上の磁性材料例 (b) とを示している。上述したように、図 10 に示す磁性材料例では、約 0°C において磁性体 2 から生じ、磁電変換部 4 に作用する磁束が最も大きくなると考えられる。このため、図 10 に示す磁性材料を含む磁性体 2 とすることによって、約 0°C 付近において磁電変換部 4 の検出感度が最も優れ、特性の劣化が少な

いメモリセル 1 とすることができる。同様に、図 1 1 に示す磁性材料を含む磁性体 2 とすることによって、約 -40°C 程度以下での低温での特性に優れるメモリセル 1 とすることができる。図 1 2 に示す磁性材料を含む磁性体 2 とすることによって、 100°C 程度以上の高温での特性に
5 優れるメモリセルとすることができる。

図 1 0 および図 1 1 に示すような飽和磁化の変化を示す磁性材料は、例えば、遷移金属リッチな組成の TbFeCo 、 TbDyFeCo などである。また、図 1 2 に示すような飽和磁化の変化を示す磁性材料は、例えば、希土類元素がリッチである組成を含む TbFeCo 、 GdTbFeCo などである。また、本発明のメモリセル 1 では、これら飽和磁化が極大となる温度が異なる磁性材料を複数組み合わせた磁性体 2 であ
10 ってもよい。異なる磁性材料を組み合わせる比率は、磁性体 2 として必要な特性に応じて任意に設定すればよい。

本発明のメモリセル 1 では、磁性体 2 のキュリー温度が 100°C 以上
15 であってもよく、好ましくは 300°C 以上であってもよい。このような磁性体 2 を用いた場合、 80°C 以上の高温の環境で使用した場合も特性に優れるメモリセルとすることができる。具体的には、例えば、 TbFeCo 、 GdTbFeCo などの磁性材料を含む磁性体 2 とすればよい。

20 本発明のメモリセル 1 では、磁性体 2 に含まれる磁性材料の種類を選択し、磁性体 2 のキュリー温度以上の高温を付加することによって、記録した情報を消去できるメモリセル 1 とすることもできる。なお、この場合、素子をキュリー温度以下の温度に戻せば、再びメモリセルとして使用することができる。例えば、磁性体 2 のキュリー温度が 100°C である場合、 100°C 程度以上の温度を付加することによって素子が記録
25 した情報を消去することができる。このため、情報の一括消去が容易に

行えるメモリセル 1 とすることができる。

本発明のメモリセル 1 では、所定の温度領域において温度の上昇に伴って保磁力が小さくなる磁性体 2 を用いてもよい。図 1 3 に、温度 T (°C) に対する磁性体の保磁力の値の変化の一例を示す。図 1 3 に示す磁性体は、室温付近から温度が上昇するにつれて保磁力が減少する傾向を示している。このとき、磁性体 2 の飽和磁化 M_s は、図 9 に示すような温度特性を示す。このようなメモリセル 1 では、磁性体 2 の温度を上昇させることによって磁性体 2 の保磁力が減少するため、より小さい磁界によって磁性体 2 の磁化状態を変化させることができる。即ち、磁性体 2 の温度を上昇させることによって、情報の記録がより容易なメモリセル 1 とすることができる。また、磁性体 2 に情報を記録した後に磁性体 2 の温度を降下させれば、温度の低下に伴って磁性体 2 の保磁力が増大するため、外部からの磁界に対して容易に磁化状態が変化しない磁性体 2 とすることができる。即ち、より安定した不揮発性のメモリセル 1 とすることができる。これらの理由から、不揮発性および記録特性に優れ、より消費電力を低減させたメモリセル 1 とすることができる。

このような磁性体 2 において、温度に対する保磁力の変化の形態は特に限定されない。例えば、図 1 3 に示すように、温度の上昇に伴い保磁力が連続的に減少する磁性体であってもよい。また、温度の上昇に伴い、保磁力が段階的に減少する（保磁力の減少に閾値を有する）磁性体であってもよい。温度の上昇に伴って保磁力が減少する際には、一時的に保磁力が増大してもよい。また、温度の上下に伴う保磁力の増減がヒステリシスを有していてもよい。

温度の上昇に伴う磁性体 2 の保磁力の減少は、必ずしもすべての温度領域で見られる必要はない。ある特定の温度領域において、温度の上昇に伴って磁性体 2 の保磁力が減少すればよい。例えば、図 1 3 に示す例

- では、室温以上の温度領域で磁性体 2 の保磁力が減少する傾向を示している。このため、室温から例えば 120℃程度まで磁性体 2 の温度を上昇させることによって、室温の場合の約 1/3 程度以下の磁界によって情報を記録することが可能となり、情報の記録がより容易なメモリセル 1 とすることができる。換言すれば、120℃程度以下の温度領域において、より不揮発性に優れるメモリセル 1 とすることが可能である。例えば、100℃以上の温度領域において保磁力が減少する傾向を示す磁性体 2 を用いれば、100℃程度の温度領域においてより不揮発性に優れるメモリセル 1 とすることができる。
- 10 磁性体 2 における、温度に対する保磁力の変化の具体的な形態、保磁力の具体的な値などは、メモリセル 1 として必要な特性に応じて任意に設定すればよい。情報を記録する際には、磁性体 2 の保磁力が例えば $2.4 \times 10^5 \text{ A/m}$ 以下 (3 kOe 以下)、好ましくは、 $4 \times 10^3 \text{ A/m} \sim 1.5 \times 10^4 \text{ A/m}$ 程度の範囲であればよい。また、情報を不揮発的に保持する際には、磁性体 2 の保磁力が、例えば、 $4 \times 10^4 \text{ A/m}$ 以上 (500 Oe 以上)、好ましくは、 $1 \times 10^5 \text{ A/m} \sim 2 \times 10^6 \text{ A/m}$ 程度の範囲であればよい。情報を記録する際と、情報を保持する際との保磁力の差が、例えば、 $1 \times 10^4 \text{ A/m} \sim 1 \times 10^6 \text{ A/m}$ 程度の範囲であれば、不揮発性および記録特性により優れるメモリセル 1 とすることができる。
- 20

- 磁性体 2 の温度を上昇させる方法は特に限定されない。例えば、磁性体 2 に電流を流して昇温させればよい。また、磁界発生部 3 に含まれる配線 16 に電流を流して配線 16 を昇温させ、発生した熱を磁性体 2 に伝えることによって磁性体 2 の温度を上昇させてもよい。このためには、磁性体 2 および/または配線 16 にある程度電気抵抗値が大きい材料を用いればよい。例えば、Fe、Ni、Cr、Pt、Mo、Ta、Ti
- 25

、W、C、SiCなど、あるいは、これらを含む化合物を用いればよい。
また、磁性体2および配線16の双方に電流を流してもよい。なかでも、配線16に電流を流す方法が、磁界発生部3の構造を利用することができるため（例えば、磁性体2に磁界を印加するために配線16に流
5 　す電流を、そのまま配線16の発熱に用いればよい。）、好ましい。また、熱効率の観点から、配線16は、磁性体2の周囲を捲回するコイル状の配線17であることが好ましい。

本発明のメモリセル1では、磁性体2の磁化方向が、磁性体2における磁電変換部4に面している面に対して角度を有していてもよい。また
10 　、磁性体2が、磁性体2における磁電変換部4に面している面に対して垂直な方向に磁束の成分を有していてもよい。換言すれば、磁電変換部4が磁電変換素子を含む場合、磁性体2が、磁電変換素子を流れる電流の方向に対して垂直な方向に磁束の成分を有していてもよい。磁電変換素子を流れる電流とは、より具体的には、例えば、図4に示すMOSト
15 　ランジスタでは、ドレイン電極13とソース電極11との間を流れる電流である。また、磁電変換素子を流れる電流の方向に対して垂直な方向とは、例えば、図4に示すMOSトランジスタでは、ドレイン電極13とソース電極11とを含む面に対して垂直な方向である。

上述したように、磁電変換部内を流れる電流と磁性体から生じる磁束
20 　とが相互作用することによって、磁電変換部の電気的特性が変化する。その相互作用は、電流の流れる方向と磁束の方向とが直交する場合に最も大きくなる。よって、このような磁性体2とすることによって、より磁電変換部の電気的特性の変化が大きい、読み出し特性に優れるメモリセル1とすることができる。

25 　本発明のメモリセル1では、磁性体2が、TiN、Mn、TiAlN、Pt、W、Ti、TiWなどの金属膜、合金膜、セラミクス膜で被覆

5 されていてもよい。これらの膜によって、磁性体 2 を保護し、磁性体 2 と、磁性体 2 の周囲に配置されている材料との反応を抑制し、磁性体 2 の汚染、劣化を抑制することができる。また、同時に、磁性体 2 の周囲に配置されている、絶縁体や配線、磁電変換素子などの汚染、劣化を抑制することもできる。このため、より特性が安定したメモリセル 1 とすることができる。なお、上記膜は、磁性体 2 の表面のすべてを被覆していることが好ましいが、製造時における工数の観点からは、磁性体 2 の表面における必要な領域のみ被覆していればよい。なお、上記膜は、例えば、一般的にバリアーメタルといわれる膜であってもよい。

10 本発明のメモリセルのさらにまた別の一例を図 1 4 に示す。図 1 4 に示すメモリセル 1 は、磁電変換部 4 にオフセット磁界を印加する磁界発生部（以下、オフセット磁界発生部、という） 1 8 をさらに含んでいる。このようなメモリセルとすることによって、磁電変換部 4 の電氣的な出力の変化をより向上させた、読み出し特性に優れるメモリセル 1 とすることができる。ここで、オフセット磁界とその効果について説明する。

15

本発明におけるオフセット磁界とは、磁電変換部 4 に対して、一定の強さおよび方向で加えられる磁界のことである。例えば、図 1 4 に示す磁束 B_A がこれにあたる。図 1 4 に示す磁電変換部 4 は磁電変換素子として n チャネル MOS トランジスタ 8 を含んでいる。一般に、トランジスタに磁束を印加した場合、トランジスタの電気抵抗値は 2 次曲線に従って変化すると考えられる。トランジスタの電気抵抗値の変化の一例を図 1 5 A および図 1 5 B に示す。

20

ここで、磁性体 2 からトランジスタ 8 に加えられる磁束を B_B から $-B_B$ の範囲で変化させると（磁束 B_A の方向を正とし、また、トランジスタを流れる電流に対して垂直な方向に磁束 B_A 、 B_B および B_B が加

25

えられるものとする)、オフセット磁界を加えない場合、図 1 5 A に示すように、2 次曲線の原点付近でトランジスタの抵抗変化率 ΔR が得られることになる(即ち、 $\Delta R = |R_B - R_{B'}| / R_0$)。これに対して、オフセット磁界である磁束 B_A をトランジスタに加えた場合、図 1 5 B に示すように、2 次曲線の原点から磁束 B_A だけずれた点を中心に、トランジスタの抵抗変化率 ΔR が得られる(即ち、 $\Delta R = ((R_A + R_B) - (R_A - R_{B'})) / R_A$)。2 次曲線の変化率は、上記原点から離れるほど大きくなる。このため、磁性体 2 からトランジスタ 8 に加えられる磁束の変化量が同じ場合でも、トランジスタ 8 にオフセット磁界を印加する方が、より大きな抵抗変化率を得ることができる。

オフセット磁界 R_A の方向および大きさは、特に限定されない。磁性体 2 の磁性的な特性、磁電変換部 4 との距離などに応じて、任意に設定すればよい。例えば、磁性体 2 における磁電変換部 4 に面している面に対して垂直な方向に成分を有する磁束であってもよい。即ち、磁電変換部 4 が磁電変換素子を含む場合、磁電変換素子を流れる電流の方向に対して垂直な方向に成分を有する磁束であってもよい。また、その成分の大きさは、例えば、10 mT ~ 10 T (テスラ) 程度の範囲であればよい。

オフセット磁界発生部 1 8 の位置は、磁性体 2 から生じる磁束 7 が磁電変換部 4 に到達するのを妨げず、また、磁界発生部 3 から磁性体 2 に印加する磁界を妨げない限り、特に限定されない。例えば、図 1 4 に示すように、オフセット磁界発生部 1 8 と磁電変換部 4 であるトランジスタ 8 とによって磁性体 2 を挟持するように配置されていてもよい。この場合、オフセット磁界をより効率よく磁電変換部 4 に印加することができ、読み出し特性に優れるメモリセル 1 とすることができる。また、この場合、オフセット磁界発生部 1 8 の大きさ(例えば、膜厚)を任意に

設定することができるため、必要なオフセット磁界を容易に得ることができる。

オフセット磁界発生部 18 の構成および構造は、磁電変換部 4 に一定の強さおよび方向でオフセット磁界を加えられる限り、特に限定されない。例えば、オフセット磁界発生部 18 が、磁性体 2 における磁電変換部 4 に面している面に対して垂直な方向に磁束の成分を有する強磁性体を含んでいてもよい。即ち、磁電変換部 4 が磁電変換素子を含む場合、オフセット磁界発生部 18 が、磁電変換素子を通れる電流の方向に対して垂直な方向に磁束の成分を有する強磁性体を含んでいてもよい。この場合、オフセット磁界を発生させるために電力が不要であり、より消費電力の少ないメモリセルとすることができる。強磁性体は特に限定されず、例えば、NdFeB、SmFeN、NdFeAl などを用いればよい。

また、オフセット磁界発生部 18 に含まれる強磁性体は、その磁化方向が一方方向に着磁されていてもよい。この場合、オフセット磁界がより安定するため、より特性の安定したメモリセル 1 とすることができる。

本発明のメモリセルの別の一例を図 16 に示す。図 16 に示すメモリセル 1 は、軟磁性体からなるステム 19 と軟磁性体からなるシールド 20 とをさらに含んでいる。ステム 19 は、半導体基板 9 における磁電変換部 4 および磁性体 2 に面する面とは反対側に、シールド 20 は、オフセット磁界発生部 18 における磁電変換部 4 および磁性体 2 に面する面とは反対側に配置されている。このようなメモリセル 1 では、シールド 20 とステム 19 とを含む閉磁路を形成することができるため外部への漏洩磁束を低減することができる。また、外部からのノイズなどに強く、特性に優れるメモリセル 1 とすることができる。

ステム 19 およびシールド 20 を配置する領域の大きさは、特に限定

されない。必要に応じて、任意に設定すればよい。例えば、メモリセル 1 の全体、あるいはトランジスタ 8 全体を覆うようにステム 19 およびシールド 20 を配置してもよい。なお、ステム 19 およびシールド 20 は、必ずペアである必要はなく、どちらか一方のみを配置してもよい。

- 5 ステム 19 を配置する位置は、メモリセル 1 としての機能が維持できる限り、特に限定されない。例えば、磁電変換部 4 における磁性体 2 に面する面とは反対側に配置されていてもよい。同様に、シールド 20 を配置する位置は、メモリセル 1 としての機能が維持できる限り、特に限定されない。例えば、シールド 20 と磁電変換部 4 とによって磁性体 2
10 を挟持するように配置されていてもよい。

 ステム 19 およびシールド 20 の厚さは、特に限定されない。また、磁性体 2 の近傍とその他の領域との間で厚さを変更してもよい。

- ステム 19 およびシールド 20 に用いられる材料は、特に限定されない。例えば、Fe、パーマロイなどに代表される、Fe、Co および Ni
15 i から選ばれる少なくとも 1 種を含む合金、混合材料などを用いればよい。

- なお、図 16 に示すメモリセル 1 では、全体を囲むようにパッケージ 21 が配置されている。パッケージ 21 を配置することによって、メモリセル全体に耐衝撃性を付与したり、メモリセルの内部への埃などの侵入を抑制したりできる。パッケージ 21 に用いる材料は、特に限定されない。例えば、エポキシアクリレート樹脂、ウレタン樹脂、紫外線硬化型樹脂、熱硬化型樹脂、ホットメルト系接着剤などを用いればよい。また、これらを組み合わせて用いてもよい。
- 20

- 本発明のメモリセルのさらにまた別の一例を図 17 に示す。図 17 に示すメモリセル 1 は、複数の磁性体 2 を含んでいる。磁電変換部 4 は、
25 検知する磁界の状態に応じて電気的特性が異なる磁電変換素子としてト

ランジスタ 8 を含んでいる。トランジスタ 8 は、複数の磁性体 2 から生じる磁束を検知するように、複数の磁性体 2 の近傍に配置されている。磁性体 2 の観点から表現すれば、複数の磁性体 2 は、トランジスタ 8 のドレイン電極 13 およびソース電極 11 を含む面に対して垂直な方向に積層されている。また、各々の磁性体 2 の間には絶縁体 10 が配置されている。メモリセル 1 は、磁界発生部として、各々の磁性体 2 に対応したコイル状の配線 17 を含んでいる。このようなメモリセル 1 では、各々の磁性体 2 の磁化状態を、各々の磁性体 2 に対応した配線 17 によって個別に制御することができる。また、磁性体 1 つにつき、少なくとも 1 ビットの情報を記録することができる。このため、多ビット化、あるいは多値化されたメモリセル 1 とすることができる。

図 17 に示すメモリセル 1 において、磁性体 2 の厚さ（トランジスタ 8 に面している面に対して垂直な方向の厚さ）は、例えば、 $1\text{ nm} \sim 100\text{ }\mu\text{m}$ の範囲である。磁性体 2 の間の距離は、例えば、 $1\text{ nm} \sim 10\text{ }\mu\text{m}$ の範囲である。

複数の磁性体 2 の配置形状は、図 17 に示す例に限定されない。磁電変換素子であるトランジスタ 8 と磁性体 2 から生じる磁束 7 とが相互作用できる位置に配置されていればよい。

磁界発生部は、図 17 に示すようなコイル状の配線 17 に限らず、各々の磁性体 2 の磁化状態を変化させることができる限り、特に限定されない。例えば、単なる配線であってもよい。また、1 つ 1 つの磁性体 2 に対応した配線 17 を配置するのではなく、磁性体 2 をいくつかのグループに分別し、それぞれのグループに対応した配線 17 を配置してもよい。なお、図 17 に示す例では、磁性体 2 の間に絶縁体 10 が配置されているが、必要に応じて別の機能を有する層を配置してもよい。また、その層は一層に限らず、特性が異なる複数の層を配置してもよい。

図 1 7 に示すメモリセル 1 は、換言すれば、磁電変換素子がトランジスタ 8 を含み、トランジスタ 8 のチャンネル 1 4 に対応して、磁性体 2 が複数配置されているメモリセルである、ともいえる。なお、「磁性体 2 とチャンネル 1 4 とが対応している」とは、磁性体 2 およびトランジスタ 8 のチャンネル 4 が、相互作用を有する位置に配置されていることをいう。このとき、チャンネル 1 4 に対応する複数の磁性体 2 の磁気特性が、チャンネル 1 4 からの距離（磁電変換部 4、磁電変換素子、あるいは、トランジスタ 8 からの距離ともいえる）に応じて異なってもよい。上述したように、磁性体 2（磁性体 2 から生じる磁束 7）とトランジスタ 8 のチャンネル 1 4 とが相互作用することによって、本発明のメモリセル 1 では磁性体 2 に記録された情報を読み出すことができる。図 1 7 に示すように複数の磁性体 2 が配置されている場合、チャンネル 1 4 からの距離が遠くなるに従って上記相互作用が弱くなる可能性がある。チャンネル 1 4 からの距離に応じて異なる磁気特性を有する磁性体 2 を配置すれば、より具体的には、例えば、チャンネル 1 4 からの距離が大きくなるに従って、生じる磁束 7 がより大きい磁性体 2 を順に配置すれば、より特性に優れるメモリセル 1 とすることができる。

例えば、図 1 8 A に示すように、チャンネル 1 4 からの距離に応じて、厚さが異なる（あるいは、体積が異なる）磁性体 2 a ~ 2 d を配置してもよい。また、図 1 8 B に示すように、飽和磁化の値が異なる磁性体 2 a ~ 2 d を配置してもよい。

磁気特性の変化の傾向は、特に限定されない。例えば、チャンネル 1 4 からの距離が大きくなるに従って厚さが小さくなるように複数の磁性体 2 を配置してもよいし、図 1 8 A に示すように逆でもよい。メモリセル 1 として必要な特性に応じて任意に設定すればよい。なお、図 1 8 A および図 1 8 B において、図示していない部材については図 1 7 に示すメ

メモリセル 1 と同様である。

本発明のメモリセルのさらにまた別の一例を図 19 に示す。図 19 に示すメモリセルは、複数の磁性体 2 を含んでいる。磁電変換部 4 は、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子としてトランジスタ 8 を含んでいる。トランジスタ 8 は、複数の磁性体 2 から生じる磁束を検知するように、複数の磁性体 2 の近傍に配置されている。ここで、トランジスタ 8 は、複数の磁性体 2 に対応する複数のチャンネル 14 a ~ 14 d と、少なくとも 2 つのチャンネル（チャンネル 14 a および 14 b が少なくとも 2 つのチャンネルに相当する。チャンネル 14 c および 14 d についても同様である）の上方に配置され、上記少なくとも 2 つのチャンネルに対応する 1 つのゲート電極（チャンネル 14 a および 14 b に対応するゲート電極 12 a。同様に、チャンネル 14 c および 14 d に対応するゲート電極 12 b）とを含むトランジスタである。また、磁性体 2 に記録された情報に応じてチャンネル 14 a ~ 14 d の電気的特性（例えば、電気抵抗値）が異なることによって、トランジスタ 8 の電気的特性が異なっている。トランジスタ 8 は半導体基板 9 の表面に形成されている。なお、図 19 における S はソース電極、D はドレイン電極であり、以降の図においても同様の表現を行う場合がある。また、チャンネル 14 a ~ 14 d は、ノーマリーオフのトランジスタ 8 の場合、ゲート電極 14 に所定の値以上の電圧を印加することによって形成される領域である。

従来の代表的なメモリである半導体メモリでは、単位情報（1 ビット）ごとに（即ち、チャンネルごとに）少なくとも 1 つゲート電極を設ける必要があり、複数のチャンネルでゲート電極を共有することは困難であった。また、SRAM では、理論上、1 ビットの情報に対してトランジスタが 4 ~ 6 個必要である。これらの理由から、従来のメモリでは、さら

なる高集積化には制約があった。また、フラッシュメモリでは、セルを微細化すると、フローティングゲートに蓄積される電子の数が減少し、セルの温度特性などの対環境特性が低下するために微細化、さらなる集積化には限界がある。

- 5 これに対して、図 1 9 に示すように、本発明のメモリセル 1 では、情報が記録される磁性体 2 と、磁性体 2 に記録された情報を読み出す磁電変換部 4 とが独立しているため、複数のチャネル 1 4 の間でゲート電極 1 2 を共用することができる。このため、ゲート電極 1 2 への配線を削減でき、メモリセル 1 内の配線を簡略化できる。即ち、本発明のメモリ
- 10 セル 1 を用いることによって、より高集積化されたメモリを形成することが可能である。また、図 1 9 に示す例のように、トランジスタ 8 が、ゲート電極 1 2 と半導体基板 9 との間にゲート絶縁膜 2 2 が配置された MOS トランジスタである場合、その製造過程において、ゲート絶縁膜 2 2 をエッチングなどによって除去する面積を少なくすることができる
- 15 。ゲート絶縁膜 2 2 をエッチングする際には、多少なりともトランジスタ 8 がダメージを受ける可能性がある（例えば、エッチングによって形成されたゲート絶縁膜 2 2 の端面が劣化する。ゲート電極 1 2 の端面も劣化の可能性がある）。このため、図 1 9 に示すようなメモリセル 1 とすることによって、上記ダメージが抑制され、より特性の安定したメモリセル 1 とすることができる。
- 20

- また、図 1 9 に示すメモリセル 1 では、磁性体 1 つにつき少なくとも 1 ビットの情報を記録することができるため、1 つのトランジスタで多ビットの情報を検知することができ、多値化されたメモリセルとすることができる。例えば、図 1 9 に示す例では、トランジスタ 1 つ、ゲート
- 25 電極 2 つに対して、例えば、4 値のメモリセルとすることができる。

 1 つのトランジスタ 8 中に含まれるチャネル 1 4 の数は特に限定され

ない。メモリセル 1 として必要な特性に応じて任意に設定すればよい。

また、1つのトランジスタ 8 中に含まれるゲート電極 1 2 の数も特に限定されない。メモリセル 1 として必要な特性に応じて任意に設定すればよい。さらに、1つのゲート電極 1 2 に対応するチャンネル 1 4 の数も、

5 少なくとも 1 つのゲート電極 1 2 が少なくとも 2 つのチャンネル 1 4 に対応している限り、特に限定されない。

図 20 に、本発明のメモリセルのさらにまた別の一例を示す。図 20 に示すメモリセル 1 では、トランジスタ 8 が、自らが含む複数のチャンネル 1 4 a ~ 1 4 d の上方に配置された 1 つのゲート電極 1 2 を有してい

10 る。その他の構成は、図 19 に示すメモリセル 1 と同様である。

このようなメモリセルでは、図 19 に示す例よりもさらにゲート電極 1 2 の数を削減できる。このため、さらに特性の安定したメモリセル 1 とすることができ、より高集積化されたメモリを形成することも可能である。図 20 に示す例では、トランジスタ 1 つ、ゲート電極 1 つに対し

15 て、例えば、4 値のメモリセルとすることができる。

図 21 に、本発明のメモリセルのさらにまた別の一例を示す。図 21 に示すメモリセル 1 では、ゲート電極 1 2 とドレイン電極とが共通である。このように、ゲート電極 1 2 とドレイン電極とを共通にすることによって、さらに配線を簡略化したメモリセル 1 とすることができる。なお、ゲート電極 1 2 とドレイン電極とは完全に一体化している必要は必ずしもなく、両者が等電位であればよい。

図 22 に、本発明のメモリセルのさらにまた別の一例を示す。図 22 に示すメモリセル 1 では、ゲート電極 1 2 と半導体基板 9 との間に配置されている（より具体的には、ゲート電極 1 2 とチャンネル 1 4 a ~ 1 4 d との間に配置されている）ゲート絶縁膜 2 2 の面積が、ゲート電極 1 2 の面積よりも大きい。このように、ゲート絶縁膜 2 2 の面積をゲート

電極 1 2 の面積よりも大きくすることによって、製造工程において、ゲート絶縁膜 2 2 をエッチングする面積を小さくすることができる。このため、より特性が安定したメモリセル 1 とすることができる。

図 2 2 に示す例では、ゲート絶縁膜 2 2 は、ソース電極およびドレイン電極の双方に接している。より具体的には、ゲート絶縁膜 2 2 は、ソース電極およびドレイン電極が配置されている領域を除いたトランジスタ 8 の p^- 層、 n^+ 層の表面すべてに配置されている。また、ゲート絶縁膜 2 2 は、チャネル 1 4 a ~ 1 4 d 上にも配置されている。

図 2 3 に、本発明のメモリセルのさらにまた別の一例を示す。図 2 3 に示すメモリセル 1 は、複数の磁性体 2 を含んでいる。磁電変換部 4 は、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子としてトランジスタ 8 を含んでいる。トランジスタ 8 は、複数の磁性体 2 から生じる磁束を検知するように、複数の磁性体 2 の近傍に配置されている。ここで、トランジスタ 8 は、複数の磁性体 2 に対応する複数のチャネル 1 4 a ~ 1 4 d と、上記各チャネル 1 4 a ~ 1 4 d に対応するように各々のチャネル 1 4 a ~ 1 4 d の上方に配置された複数のゲート電極 1 2 a ~ 1 2 d を含んでいる。より具体的には、1 つのチャネル 1 4 に対応して、1 つのゲート電極 1 2 が配置されている。

このように、一对のソース電極ードレイン電極間に複数の独立したゲート電極を有する構成を、NAND 型ともいう。トランジスタ 8 を NAND 型とすることによって、多ビット化されたメモリセル 1 とすることができる。

また、図 2 3 に示すメモリセル 1 では、各ゲート電極 1 2 a ~ 1 2 d に選択的に異なるゲート電圧を印加することによって、各々の磁性体 2 a ~ 2 d の価数を変化させたメモリセル 1 とすることも可能である。即ち、より多ビット化が図られたメモリセル 1 とすることができ、さらに

高集積化されたメモリを形成することができる。各ゲート電極 1 2 a ~ 1 2 d に異なるゲート電圧を印加する際には、全てのゲート電極 1 2 に異なる電圧を印加する必要は必ずしもなく、同じ電圧が印加されるゲート電極 1 2 の組み合わせがあってもよい。メモリセル 1 として必要な特性に
5 性に応じて任意に設定することができる。

図 2 3 に示すメモリセル 1 においても、図 2 2 に示すメモリセル 1 と同様に、ゲート絶縁膜 2 2 が、ソース電極およびドレイン電極が配置されている領域を除いたトランジスタ 8 の p^- 層、 n^+ 層の表面すべてに配置されていてもよい。なお、図 2 3 に示すメモリセル 1 では、磁性体
10 2 の層数が 1 であり、ゲート数が 4 であるため、最低 4 ビットの情報を記録することができる。また、磁性体 2 の磁化状態を単なる反転ではなく多値化すれば、さらに多ビット化を図ることができる。例えば、磁性体 2 の磁化状態を 4 種類の状態に設定した場合、4 倍の 1 6 ビットの情報を記録する／読み出すことが可能である。

15 図 1 9 ~ 図 2 3 に示すような複数のチャネル 1 4 を有するトランジスタ 8 においても、磁性体 2 から生じる磁束 7 によってトランジスタ 8 の電気抵抗値が異なる原理は図 5 A ~ 図 5 C で説明した原理と同様である。図 2 4 に示すメモリセル 1 は、図 2 0 に示すメモリセル 1 と同様の構成を有している。図 2 5 A および図 2 5 B は、図 2 4 に示すトランジスタ 8 を、磁性体 2 の側から見た模式図である。トランジスタ 8 のゲート
20 電極 1 2 に所定の値以上の電圧（閾値電圧 V_{th} ）を加えれば、ゲート電極 1 2 近傍の p^- 領域に 4 つのチャネル 1 4 a ~ 1 4 d が形成される。図 5 A と同様に、磁性体 2 a ~ 2 d から生じる磁束 7 a ~ 7 d がチャネル 1 4 a ~ 1 4 d に加わっていない場合、図 2 5 A に示すように、電
25 流 1 5 はチャネル 1 4 a ~ 1 4 d を介してほぼまっすぐにソース電極へと流れる。これに対して、磁束 7 a ~ 7 d がトランジスタ 8 に加わると

、図 2 5 B に示すように、磁束 7 と電流 1 5 とが相互作用し、電流が流れる方向が変化する。このため、図 2 4 に示すメモリセル 1 において、チャンネル 1 4 a ～ 1 4 d に対応する磁性体 2 a ～ 2 d の磁化状態（例えば、磁化方向 6 a ～ 6 d ）が各々異なれば、それに応じてチャンネル 1 4 a ～ 1 4 d に加わる磁束 7 a ～ 7 d も各々異なり、トランジスタ 8 の電気抵抗値は様々に変化しうる。

図 2 6 ～図 2 8 に、本発明のメモリセルのさらにまた別の一例を示す。図 2 6 に示すように、トランジスタ 8 が複数のチャンネル 1 4 を有する場合においても、図 7 に示すメモリセル 1 と同様に、磁界発生部 3 がコイル状の配線 1 7 を含んでいてもよい。また、図 2 7 に示すように、図 1 6 に示すメモリセル 1 と同様に、磁電変換部 4 にオフセット磁界である磁束 B_A を印加するオフセット磁界発生部 1 8 や、ステム 1 9、シールド 2 0、パッケージ 2 1 などを含んでいてもよい。また、図 2 8 に示すように、図 1 7 に示すメモリセル 1 と同様に、1 つのチャンネル 1 4 に対応して磁性体 2 が複数配置されているメモリセル 1 としてもよい。この場合、より多値化および多ビット化されたメモリセル 1 とすることができる。なお、図 2 6 ～図 2 8 は、図 2 0 に示すような、複数のチャンネル 1 4 に 1 つのゲート電極 1 2 が対応するトランジスタ 8 を含むメモリセル 1 を用いて示したが、図 2 3 に示すような、複数のチャンネル 1 4 に複数のゲート電極 1 2 が対応するトランジスタ 8 を含むメモリセル 1 においても同様である。

本発明のメモリセルでは、磁電変換素子が複数のトランジスタを含んでいてもよい。このようなメモリセルの一例を図 2 9 に示す。

図 2 9 に示すメモリセル 1 では、磁電変換部 4 が磁電変換素子として複数のトランジスタ 8 a および 8 b を含んでいる。このように、本発明のメモリセル 1 では、磁電変換素子が複数のトランジスタを含んでいて

もよい。より多値化（多ビット化）されたメモリセル１とすることができ
る。磁電変換部４が複数のトランジスタを含む場合、含まれるトラン
ジスタの数は図２９に示す２つに限定されず、任意に設定することがで
きる。また、磁電変換部４が複数のトランジスタ８を含む場合、各々の
5 トランジスタ８の種類、組み合わせ、配線の構造などは特に限定されな
い。メモリセル１として必要な特性に応じて任意に設定すればよい。

図２９に示すメモリセル１では、トランジスタ８ａのゲート電極１２
とドレイン電極とが共通である。また、隣り合った一組のトランジスタ
８ａおよび８ｂにおいて、一方のトランジスタ８ａのゲート電極１２と
10 、他方のトランジスタ８ｂのソース電極とが共通となっている。このよ
うなメモリセル１とすることによって、上述した効果の他、各電極への
配線をより簡略化することができる。このため、より高集積のメモリを
形成することができる。なお、ゲート電極１２とソース電極とが共通で
あるとは、必ずしも両者が一体化されている必要ではなく、等電位とな
15 る構造であれば特に限定されない。

図３０に本発明のメモリセルのさらにまた別の一例を示す。図３０に
示すように、本発明のメモリセルは、複数のチャネルと、複数のチャネ
ルに対応する複数のゲート電極とを有するトランジスタ（図２３に示す
ようなトランジスタ）を複数含むメモリセル１であってもよい。

20 図３１に本発明のメモリセルのさらにまた別の一例を示す。図３１に
示すように、本発明のメモリセルは、隣り合った一組のトランジスタ８
ａおよび８ｂにおいて、一方のトランジスタ８ａのドレイン電極と、他
方のトランジスタ８ｂのソース電極との間に絶縁体２３が配置されてい
るメモリセル１であってもよい。絶縁体２３によって、トランジスタ８
25 ａと８ｂとが分離されている。このとき、絶縁体２３を配置する方法は
特に限定されない。例えば、絶縁体２３が、シャロートアイソレーショ

ンと呼ばれる分離手法によって配置されてもよい。絶縁間隔（図 3 1 に示す例における、絶縁体 2 3 を挟持する D - S 間の距離）を小さくでき、メモリセルの小型化に適しているからである。また、LOCOSと呼ばれる方法によって絶縁体 2 3 を配置してもよい。絶縁間隔の観点からはシャロートアイソレーションよりも多少劣るが、製造時のコストを低減することができ、また、より絶縁性に優れている。

図 3 2 に本発明のメモリセルの制御方法の一例を示す。例として図 3 1 に示すメモリセル 1 から磁性体 2 に記録された情報を読み出す方法を示す。図 3 2 に示すメモリセル 1 は、図 3 1 に示す NAND 型メモリセル 1 を、上方（半導体基板 9 に対して、磁性体 2 側から）から見た模式図である。ただし、ソース電極、ドレイン電極およびゲート電極 1 2 a ~ 1 2 h 以外の部材は図示を省略してある。このようなメモリセル 1 から情報を読み出すためには、例えば、図 3 2 に示すように、ゲート電極 1 2 a ~ 1 2 h を配線 g 1 ~ g 8 によってゲート制御回路 2 5 に接続し、各ソースおよびドレイン電極を配線 s 1、s 2、d 1、d 2 によってソース・ドレイン制御回路 2 4 に接続すればよい。ソース・ドレイン制御回路 2 4 は、インピーダンス検出回路 2 6 に接続されており、ソース・ドレイン間のインピーダンスを検出することができる。このとき、ゲート制御回路 2 5 によって、各ゲート電極に電圧を印加し、ソース・ドレイン制御回路 2 5 によってソース電極 - ドレイン電極間に電流を流すことによってソース電極 - ドレイン電極間のインピーダンスが検出され、磁性体 2 に記録された情報を読み出すことができる。なお、具体的な配線の構造は特に限定されない。

上述の各図面に例示した本発明のメモリセル 1 では、トランジスタ 8 のソース電極 1 1（あるいは S）の表面と、ゲート電極 1 2 の表面と、ドレイン電極 1 3（あるいは D）の表面とがほぼ同一の高さにある。こ

のようなメモリセル 1 は、同一の製造プロセスで形成できる（即ち、例えば、各電極を同一の工程で形成することもできる）ため、製造工程数の削減とコストダウンとが可能になる。なお、ほぼ同一の高さとは、 n チャネルトランジスタである場合、例えば、各電極の表面と、チャンネルおよび n^+ 層の表面との距離の差が、 $10\text{ nm} \sim 100\text{ }\mu\text{m}$ 程度の範囲にあることをいう。

次に、本発明のメモリについて説明する。

本発明のメモリは、上述した本発明のメモリセル 1 と、メモリセル 1 に情報を記録するための情報記録用導体線と、記録した情報を読み出すための情報読出用導体線とを含んでいる。このような構成とし、メモリセル 1 を選択することによって、上述した様々な効果を有するメモリとすることができる。

本発明のメモリセルを用いたメモリの一例を図 33 に示す。図 33 に示すメモリ 51 では、メモリセル 1 は、2 本の直交するビット線 52 の交点にマトリクス状に配置されている。ビット線 52 は情報読出用導体線に相当し、2 本の直交するビット線 52 に信号電流を流すことによって、メモリセル 1 から情報を読み出すことができる。情報は、ON 状態となったビット線 52 がクロスする位置に配置されたメモリセル（図 33 では、メモリセル 1a）から読み出される。信号の ON、OFF は、デコーダ 53 および 54 によって制御することができる。

また、図示していないが、図 33 に示すメモリ 51 では、メモリセル 1 は、2 本の直交するワード線の交点にもマトリクス状に配置されている。ワード線は情報記録用導体線に相当し、2 本の直交するワード線に信号電流を流すことによって、メモリセル 1 に情報を書き込むことができる。情報は、ON 状態となったワード線がクロスする位置に配置されたメモリセルに書き込まれる。読み込みの場合と同様に、信号の ON、

OFFはデコーダによって制御することができる。

図33に示すメモリ51では、メモリセル1の電氣的な出力を参照するための参照素子55が少なくとも1つ配置されている。参照素子55は、メモリセル1の電氣的な出力の基準となる素子である。より具体的には、例えば、メモリセル1がトランジスタを含み、その電気抵抗値の変化を検出することによって情報を読み出すメモリセルである場合、例えば、電気抵抗値の基準となるトランジスタを含む素子であればよい。さらに具体的には、メモリ媒体として磁性体を含む素子である場合、参照素子55として、上記磁性体が消磁状態にあるメモリセルを用いてもよい（即ち、メモリ媒体として磁性体を含む複数のメモリセル1のうち、少なくとも1つのメモリセル1の磁性体を消磁状態とすればよい）。参照素子55を少なくとも1つ含むことによって、より相対精度に優れ、読み出し時に誤動作確率の少ないメモリ51とすることができる。参照素子55は、必要に応じて配置すればよく、配置する数も特に限定されない。

本発明のメモリでは、メモリセル1の配置方法などは、特に限定されない。例えば、半導体メモリなどの一般的なメモリで用いられているメモリセルの配置方法を適用すればよい。また、各メモリセルへのアドレスの割り振りなどの方法についても同様であり、例えば、一般的なメモリで用いられている方法を適用すればよい。例えば、ビット線とワード線を共用させたり、センス線をさらに配置したりしてもよい。

図34Aおよび図34Bを参照して、本発明のメモリセル1の動作について説明する。図34Aには、本発明のメモリセル1における読み込み動作の基本例が、図34Bには、本発明のメモリセル1における書き込み動作（記録動作）の基本例が示されている。図34Aに示すように、メモリセル1の読み出し時には、ビット線52を通してトランジスタ

のドレイン電極（図 3 4 A および図 3 4 B に示す D）からソース電極（図 3 4 A および図 3 4 B に示す S）へと電流を流し、その際のインピーダンスを検知することによって磁性体 2 に記録された情報が読み出される。なお、図 3 4 A および図 3 4 B に示すトランジスタは、ドレイン電極とゲート電極（図 3 4 A および図 3 4 B に示す G）とが電氣的に接続されている。また、図 3 4 B に示すように、メモリセル 1 の書き込み時には、ワード線 5 6 を通して磁界発生部 3 に電流を流し、発生した磁界 5 を磁性体 2 に印加することによって、磁性体 2 に情報が書き込まれる。なお、本発明のメモリでは、メモリセル 1 への書き込み方法、読み出し方法は、図 3 4 A および図 3 4 B に示す例に限定されない。

図 3 5 を参照して、本発明のメモリセルの動作についてさらに説明する。図 3 5 におけるメモリセルは、図 2 6 に記載のメモリセル 1 を想定している。

図 3 5 に示すように、メモリセル 1 の読み出し時には、ビット線 5 2 を通してトランジスタのドレイン電極（図 3 5 に示す D）からソース電極（図 3 5 に示す S）へと電流を流し、その際の抵抗をインピーダンス検出回路 2 6 で検知することによって磁性体 2 a ~ 2 d に記録された情報が読み出される。ドレイン電極からソース電極への電流は、ゲート電極（図 3 5 に示す G）に所定の電圧以上の電圧を印加することによって流すことができる。なお、図 3 5 に示すトランジスタでは、ドレイン電極と、バルクあるいはウェルと呼ばれる p^- 層（図 3 5 に示す B）とが電氣的に接続されている。

本発明のメモリでは、マトリクス状に配置された各々のメモリセルがトランジスタを含んでおり、異なるメモリセル間において、トランジスタのソース電極およびドレイン電極から選ばれる少なくとも 1 つの電極が等電位であってもよい。配線を簡略化できるため、より高集積化され

たメモリとすることができる。図 3 6 にこのようなメモリの一例を示す。

図 3 6 に示すメモリは、図 2 3 に示すメモリセル 1 がマトリクス状に配置されたメモリ 5 1 である。図 2 3 に示すメモリセル 1 が NAND 型であるため、NAND 型のメモリ 5 1 ということもできる。ただし、図 3 6 では、メモリセル 1 におけるソース電極、ドレイン電極、ゲート電極（図 3 6 中における $G_{111} \sim G_{244}$ ）以外の部材の図示が省略してある。図 3 6 に示すメモリ 5 1 では、異なるメモリセル 1 間において、メモリセル 1 に含まれるトランジスタのソース電極（S）およびドレイン電極（D）から選ばれる少なくとも 1 つの電極が一体化されている。例えば、メモリセル 1 a とメモリセル 1 b とは、ソース電極およびドレイン電極がそれぞれ一体化されている。メモリセル 1 a とメモリセル 1 c とは、一方のソース電極と他方のドレイン電極とが一体化されている。電極が一体化されるメモリセル 1 は必ずしも隣り合っている必要はない。また、必ずしも電極と電極とが一体化されている必要はなく、両者が等電位である限り、その構造は特に限定されない。なお、図 3 6 に示すメモリ 5 1 では、1 つのメモリセル 1 にゲート電極 G が 4 つずつ存在する。このため、図 3 6 に示すように各ゲート電極にアドレス（ $G_{111} \sim G_{244}$ ）を割り振ることによって、少なくとも 3 2 ビットのメモリとして制御することができる。また、図 3 6 に示すように、各メモリセル 1 間に絶縁性の素子分離層 5 6 を配置してもよい。

なお、図 3 3 に示すメモリは、一般的に二次元メモリあるいは二次元メモリアレイと呼ばれる構造を有している。本発明のメモリは、図 3 3 に示す二次元メモリアレイを複数含んでいてもよい。より具体的には、例えば、複数の上記メモリアレイを 1 つ、あるいは、複数の集積回路としてパッケージング化したメモリであってもよい。また、このように形

成した上記集積回路をチップ積層してメモリを形成してもよいし、上記集積回路を薄いパッケージ (thin film package) に収容し、積層してもよい。いわゆるマルチチップモジュールを形成してもよい。また二次元メモリとしては、図 3 3 に示すような、複数のメモリセルがマトリクス状に配置されたメモリに限定されない。マトリクス状の配置以外にも、二次元的にメモリセルが配置された状態であれば、特に限定されない。また、図 2 9 に示すようなメモリセルを本発明のメモリとして用いることもできる。即ち、一般的に一次元メモリあるいは一次元メモリアレイと呼ばれる構造であってもよい。

10 次に、本発明のメモリセルの製造方法について説明する。

本発明のメモリセルの製造方法は、上述した本発明のメモリセルの製造方法であって、

(i) 半導体基板の表面に、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子を形成する工程と、

15 (ii) 磁性体と半導体基板とによって磁電変換素子を挟持するように、磁性体を形成する工程と、

(iii) 磁性体の近傍に、磁性体の磁化状態を変化させる磁界発生部を形成する工程とを含んでいる。また、上記 (ii) の工程において、磁性体は、磁性体から生じる磁束を磁電変換素子が検知するように磁電変換素子の近傍に形成される。このような製造方法とすることによって、特性に優れるメモリセルを得ることができる。

本発明のメモリセルの製造方法の一例を図 3 7 A ~ 図 3 7 H に示す。

まず、図 3 7 A に示すように、半導体基板 9 の表面に、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子であるトランジスタ 8
25 を形成する (工程 (i))。半導体基板 9 上にトランジスタ 8 を形成する方法は、特に限定されず、一般的な方法を用いればよい。

次に、図 3 7 B に示すように、トランジスタ 8 上に絶縁体 1 0 と、磁性材料 3 1 とを積層する。磁性材料 3 1 には、メモリセルの磁性体として必要な磁性材料を用いればよい。また、このときの磁性材料 3 1 の厚さを、後に磁性体を形成した際の磁性体の厚さ（磁性体の磁電変換素子に面している面に対して垂直な方向の厚さ）とすることができる。また、絶縁体 1 0 は、磁電変換素子が電氣的な短絡を起す可能性などがない場合は、省略してもよい。

次に、図 3 7 C に示すように、磁性材料 3 1 上にレジスト 3 2 を配置する。レジスト 3 2 は、メモリセルの磁性体として必要な領域に配置すればよい。レジスト 3 2 の種類は特に限定されず、一般的なレジストを用いればよい。また、レジスト 3 2 を配置する方法も特に限定されない。

次に、図 3 7 D に示すように、レジスト 3 2 が配置されている領域以外の磁性材料を除去し、トランジスタ 8 上に磁性体 2 を形成する（工程 (ii) ）。なお、磁性体 2 は、磁性体 2 と半導体基板 9 とによって、磁電変換素子であるトランジスタ 8 を挟持するように形成される。なお、磁性材料は、イオンエッチング、イオンミリングなどの一般的な方法によって除去すればよい。

次に、図 3 7 E に示すように、絶縁体 1 0 およびレジスト 3 2 上に配線材料 3 3 を積層する。配線材料 3 3 には、メモリセルの磁界発生部に用いる配線あるいはコイルなどとして必要な導電材料を用いればよい。

次に、図 3 7 F に示すように、配線材料 3 3 上にレジスト 3 4 を配置する。レジスト 3 4 は、磁界発生部に用いる配線あるいはコイルなどとして必要な領域に配置すればよい。レジスト 3 4 の配置は、レジスト 3 2 と同様の材料、方法を用いればよい。

次に、図 3 7 G に示すように、レジスト 3 4 が配置されている領域以

5 外の配線材料を除去し、絶縁体 10 上に磁界発生部であるコイル状の配線 17 を形成する（工程（iii））。このとき、配線材料は、イオンエッチング、イオンミリングなどの一般的な方法によって除去すればよく、磁性体 2 上に配置されていたレジスト 32 および配線材料 33 は、リフトオフなどの手法によって除去すればよい。

最後に、図 37H に示すように、全体を絶縁体 10 で覆えば、図 7 に示すメモリセル 1 と同様のメモリセル 1 を得ることができる。

10 なお、磁性材料、配線材料などの積層には、一般的な成膜手法を用いればよい。例えば、スパッタリング、真空蒸着などの手法を用いて積層すればよい。

本発明のメモリセルの製造方法では、各部に用いる材料、各部の位置関係などは、上述した材料、位置関係などに従えばよい。例えば、トランジスタ 8 が、複数のチャネルの上方に配置された 1 つのゲート電極を有していてもよい。このような製造方法とすることによって、図 20 に示すような特性に優れるメモリセル 1 を得ることができる。

本発明のメモリセルの製造方法では、トランジスタにおけるソース電極の表面と、ゲート電極の表面と、ドレイン電極の表面とが同一の高さにあってもよい。

20 本発明のメモリセルの製造方法では、上記（ii）の工程において、複数の磁性体を形成してもよい。図 17 あるいは図 19 などに示すようなメモリセル 1 を得ることができる。複数の磁性体を形成するためには、例えば、図 37B ～ 図 37D に示す工程を、必要な磁性体の数だけ繰り返せばよい。

25 本発明のメモリセルの製造方法では、半導体基板が軟磁性体からなるシステム上に形成されていてもよい。このような製造方法とすることによって、図 16 や図 27 に示すような特性に優れるメモリセル 1 を得るこ

とができる。

本発明のメモリセルの製造方法では、上記 (iii) の工程の後に、

(a) 強磁性体からなる層を形成する工程をさらに含み、

その強磁性体は、磁性体の磁電変換素子に面している面に対して垂直
5 な方向に磁束の成分を有していてもよい。このような製造方法とすることによって、図 1 4 や図 2 7 に示すような、オフセット磁界発生部を有する、特性に優れるメモリセル 1 を得ることができる。なお、強磁性体を形成する方法は特に限定されない。例えば、磁性材料の積層方法と同様の手法を用いればよいし、必要に応じて、エッチングなどの処理を行
10 ってもよい。

本発明のメモリセルの製造方法では、上記 (iii) の工程の後に、

(b) 軟磁性体からなるシールドを形成する工程をさらに含んでいてもよい。このような製造方法とすることによって、図 1 6 や図 2 7 に示すような特性に優れるメモリセル 1 を得ることができる。なお、シールドを形成する方法は特に限定されない。例えば、磁性材料の積層方法と同様の手法を用いればよいし、必要に応じて、エッチングなどの処理を行
15 ってもよい。

本発明のメモリを実際に使用したシステム、装置、デバイスなどの例について説明する。本発明のメモリは、例えば、以下に示すような応用
20 が考えられる。

図 3 8 は、本発明のメモリを備えるコンピュータシステムの構成の一例を示す模式図である。図 3 8 に示すコンピュータシステム 5 0 1 は、記憶装置として本発明のメモリ 5 1 を備えている。

上述したように、本発明のメモリ 5 1 は、メモリを構成するメモリセルに含まれるメモリ媒体を選択したり、検出素子の構造を選択したりすることなどによって、様々な特性を有するメモリとすることができる。

例えば、耐熱性に優れる、耐環境特性に優れる、情報の不揮発性に優れる、読み出し特性に優れる、書き込み特性に優れるなどの特性を選択することができる。このため、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるコンピュータとすることができる。なお、図 3 8 に示すコンピュータが備える他の装置、デバイス（図示しないものを含む）が本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

図 3 9 は、本発明のメモリを備えるシステムやワークステーション（以下、サーバシステムという）の構成の一例を示す模式図である、図 3 9 に示すサーバシステム 5 0 2 は、記憶装置として本発明のメモリ 5 1 を備えている。図 3 8 に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるサーバシステムとすることができる。なお、図 3 9 に示すサーバシステムが備える他の装置、デバイス（図示しないものを含む）が本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

図 4 0 は、本発明のメモリを備える車載システムの一例を示す模式図である。図 4 0 に示す車載システム 5 0 3 では、図示はしていないが、様々な装置、デバイスが本発明のメモリを備えている。例えば、図 4 0 に示すコーデック、I T S（Intelligent Transport System）処理器、コントローラ、信号処理器、第 1 の光ディスク装置、第 2 の光ディスク装置、車載無線機、移動機構を備えたカメラ、車載レーダ、車載ナビゲーションシステム、上記ナビゲーションシステムにおいて車両の位置測定を行う G P S（Global Positioning System）などが本発明のメモリを含んでいる。図 3 8 に示す例と同様に、本発明のメモリを備えることによって、車載という高温や振動による使用環境が厳しい条件下でも、より信頼性に優れ、性能に優れる車載システムとすることができる。

図 4 1 は、本発明のメモリを備えるマルチファンクション型情報処理システム（例えば、複写機、スキャナー、プリンター、ファックスなどの機能を有するシステム）の構成の一例を示す模式図である、図 4 1 に示す情報処理システム 5 0 4 は、記憶装置として本発明のメモリ 5 1 を備えている。図 3 8 に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れる情報処理システムとすることができる。なお、図 4 1 に示す情報処理システムが備える他の装置、デバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。図 4 1 に示す情報処理システムは、コンピュータに内蔵されていてもよい。

図 4 2 は、本発明のメモリを備える投射型、あるいは、反射型、背面投射型などのシネマシステムの別の一例を示す模式図である。図 4 2 に示すシネマシステム 5 0 5 では、記憶装置として本発明のメモリ 5 1 を備えている。また、図示はしていないが、その他様々な装置、デバイスが本発明のメモリを備えている。例えば、図 4 2 に示すコーデック、光ディスク装置などが本発明のメモリを備えている。図 3 8 に示す例と同様に、本発明のメモリを備えることによって、高温や振動による使用環境が厳しい条件下でも、より信頼性に優れ、性能に優れるシネマシステムとすることができる。

図 4 3 は、本発明のメモリを備える携帯端末システムの一例を示す模式図である。図 4 3 に示す携帯端末システム 5 0 6 では、記憶装置として本発明のメモリ 5 1 を備えている。図 3 8 に示す例と同様に、本発明のメモリを備えることによって、より信頼性に優れ、性能に優れる形態端末システムとすることができる。なお、図 4 3 に示す携帯端末システムが備える他の装置、デバイスが本発明のメモリを備えていてもよい。この場合も、同様の効果を得ることができる。

図 4 4 は、本発明のメモリを備えるコンピュータおよび／またはサーバシステムを含むサーバ網の一例を示す模式図である。図 4 4 に示すサーバ網 5 0 7 は、サーバ網 5 0 7 を構成するコンピュータおよび／またはサーバシステムの記憶装置として本発明のメモリを備えている。図 3 8、図 3 9 に示す例と同様に、サーバ網に含まれるコンピュータおよび／またはサーバシステムが本発明のメモリを備えることによって、より信頼性に優れ、性能に優れるサーバ網とすることができる。

図 4 5 は、本発明のメモリを備えるコンピュータおよび／またはサーバシステムを含むサーバ網を含む通信システム、例えば、インターネット網 5 0 8 である。通信システムは、例えば、専用回線を用いた通信システムであってもよい。この方がセキュリティ性に優れる。

産業上の利用の可能性

以上説明したように、本発明によれば、従来のメモリとは全く構成が異なりながら、様々な特性に優れるメモリセルとその製造方法とを提供することができる。また、上記メモリセルを用いることによって、様々な特性に優れるメモリを提供することができる。

本発明のメモリセルは、SRAM、DRAM、フラッシュメモリなどの従来のメモリセルの代わりに用いることができる。その具体的な用途は特に限定されず、これまでメモリセルが使用されていた用途であれば、特に制限することなく用いることが可能である。

請 求 の 範 囲

1. 情報を保持するメモリ媒体と、前記メモリ媒体に情報を記録する制御部と、前記メモリ媒体から情報を読み出す検出素子とを含み、
5 前記検出素子は、前記メモリ媒体から独立しているメモリセル。
2. 前記メモリ媒体が磁性体であり、
前記制御部は、前記磁性体に磁界を印加することによって前記磁性体の磁化状態を変化させる第1の磁界発生部を含み、
10 前記検出素子は、前記磁性体の近傍に配置されており、かつ、前記磁性体の前記磁化状態に応じて電気的特性が異なる磁電変換部を含む請求項1に記載のメモリセル。
3. 前記磁電変換部が、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子を含み、
15 前記磁電変換素子は、前記磁性体から生じる磁束を検知するように、前記磁性体の近傍に配置されている請求項2に記載のメモリセル。
4. 前記磁電変換素子は、検知する磁界の状態に応じて電気抵抗値が異なる素子である請求項3に記載のメモリセル。
20
5. 前記磁電変換素子が半導体素子である請求項3に記載のメモリセル。
。
- 25 6. 前記半導体素子がトランジスタである請求項5に記載のメモリセル。
。

7. 前記磁性体の磁化方向が、前記磁性体における前記磁電変換部に面している面に対して角度を有している請求項 2 に記載のメモリセル。
- 5 8. 前記磁性体が、前記磁性体における前記磁電変換部に面している面に対して垂直な方向に磁束の成分を有する請求項 2 に記載のメモリセル。
9. 前記磁性体が、フェリ磁性材料、希土類－遷移金属系磁性材料、フェライト、および、遷移金属を含む酸化物からなる強磁性材料から選ばれる少なくとも 1 種の磁性材料を含む請求項 2 に記載のメモリセル。
- 10 10. 前記磁性体が、保磁力の異なる複数の成分を含む多元系の磁性材料からなる請求項 2 に記載のメモリセル。
- 15 11. 前記磁性体の飽和磁化の値が極大となる温度が、80℃～300℃の範囲である請求項 2 に記載のメモリセル。
12. 前記磁性体のキュリー温度が100℃以上である請求項 2 に記載
- 20 のメモリセル。
13. 前記磁性体の保磁力が、所定の温度領域において温度の上昇に伴って小さくなる傾向を有する請求項 2 に記載のメモリセル。
- 25 14. 前記第 1 の磁界発生部が、磁界を誘起する配線を含む請求項 2 に記載のメモリセル。

- 1 5. 前記配線が、コイル状である請求項 1 4 に記載のメモリセル。
- 1 6. 前記磁電変換部にオフセット磁界を印加する第 2 の磁界発生部を
5 さらに含む請求項 2 に記載のメモリセル。
- 1 7. 軟磁性体からなるステムをさらに含み、前記ステムは、前記磁電
変換部の前記磁性体に面する側とは反対側に配置されている請求項 2 に
記載のメモリセル。
- 10 1 8. 軟磁性体からなるシールドをさらに含み、前記シールドは、前記
シールドと前記磁電変換部とによって前記磁性体を挟持するように配置
されている請求項 2 に記載のメモリセル。
- 15 1 9. 前記磁性体を複数含む請求項 2 に記載のメモリセル。
- 2 0. 前記磁電変換部が、検知する磁界の状態に応じて電気的特性が異
なる磁電変換素子を含み、
前記磁電変換素子は、前記複数の磁性体から生じる磁束を検知するよ
うに、前記複数の磁性体の近傍に配置されている請求項 1 9 に記載のメ
20 モリセル。
- 2 1. 前記磁電変換素子がトランジスタを含み、
前記トランジスタの 1 つのチャネルに対応して前記磁性体が複数配置
25 されている請求項 2 0 に記載のメモリセル。

2 2. 前記 1 つのチャネルに対応する複数の前記磁性体の磁気特性が、
前記 1 つのチャネルからの距離に応じて異なる請求項 2 1 に記載のメモ
リセル。

5 2 3. 前記磁電変換素子がトランジスタを含み、

前記トランジスタは、前記複数の磁性体に対応する複数のチャネルと
、少なくとも 2 つの前記チャネルの上方に配置され、前記少なくとも 2
つのチャネルに対応する 1 つのゲート電極とを含み、

検知する磁界の状態に応じて前記チャネルの電気的特性が異なること
10 によって、前記トランジスタの電気的特性が異なる請求項 2 0 に記載の
メモリセル。

2 4. 前記トランジスタが、前記複数のチャネルの上方に配置された 1
つのゲート電極を有する請求項 2 3 に記載のメモリセル。

15

2 5. 前記磁電変換素子がトランジスタを含み、

前記トランジスタは、前記複数の磁性体に対応する複数のチャネルと
、各々の前記チャネルに対応するように各々の前記チャネルの上方に配
置された複数のゲート電極とを含み、

検知する磁界の状態に応じて前記チャネルの電気的特性が異なること
20 によって、前記トランジスタの電気的特性が異なる請求項 2 0 に記載の
メモリセル。

2 6. 前記磁電変換素子が、複数の前記トランジスタを含む請求項 6 に
25 記載のメモリセル。

27. 隣り合った一組の前記トランジスタにおいて、一方の前記トランジスタのドレイン電極と、他方の前記トランジスタのソース電極とが等電位である請求項26に記載のメモリセル。

- 5 28. 請求項1に記載のメモリセルと、前記メモリセルに情報を記録するための情報記録用導体線と、前記情報を読み出すための情報読出用導体線とを含むメモリ。

- 10 29. 請求項2に記載のメモリセルと、前記メモリセルに情報を記録するための情報記録用導体線と、前記情報を読み出すための情報読出用導体線とを含むメモリ。

- 15 30. 複数の前記メモリセルを含み、前記複数のメモリセルがマトリクス状に配置されている請求項29に記載のメモリ。

31. マトリクス状に配置された各々の前記メモリセルにおける前記磁電変換部がトランジスタを含み、

- 異なる前記メモリセル間において、前記トランジスタのソース電極およびドレイン電極から選ばれる少なくとも1つの電極が等電位である請求項30に記載のメモリ。
- 20

32. 請求項3に記載のメモリセルの製造方法であって、

(i) 半導体基板の表面に、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子を形成する工程と、

- 25 (ii) 磁性体と前記半導体基板とによって前記磁電変換素子を挟持するように、前記磁性体を形成する工程と、

(iii) 前記磁性体の近傍に、前記磁性体の磁化状態を変化させる磁界発生部を形成する工程とを含み、

前記 (ii) の工程において、前記磁性体は、前記磁性体から生じる磁束を前記磁電変換素子が検知するように前記磁電変換素子の近傍に形成
5 されることを特徴とするメモリセルの製造方法。

3 3. 前記磁電変換素子がトランジスタである請求項 3 2 に記載のメモリセルの製造方法。

10 3 4. 前記 (ii) の工程において、複数の前記磁性体を形成する請求項 3 2 に記載のメモリセルの製造方法。

3 5. 請求項 2 8 に記載のメモリの記録／読出方法であって、
情報記録用導体線および情報読出用導体線から選ばれる少なくとも 1
15 つの導体線に印加する電流を変化させることによって情報の記録／読出を行うことを特徴とするメモリの記録／読出方法。

3 6. 請求項 2 9 に記載のメモリの記録／読出方法であって、
情報記録用導体線および情報読出用導体線から選ばれる少なくとも 1
20 つの導体線に印加する電流を変化させることによって情報の記録／読出を行うことを特徴とするメモリの記録／読出方法。

3 7. 前記情報記録用導体線に印加する電流を変化させることによって、第 1 の磁界発生部で発生する磁界を変化させ、前記変化した磁界に
25 よって磁性体の磁化状態を変化させて前記メモリに情報を記録する工程と、

前記情報読出用導体線に印加する電流を変化させることによって、磁電変換部の電気的特性を検出して前記メモリに記録された情報を読み出す工程とを含む請求項 36 に記載のメモリの記録／読出方法。

FIG. 1

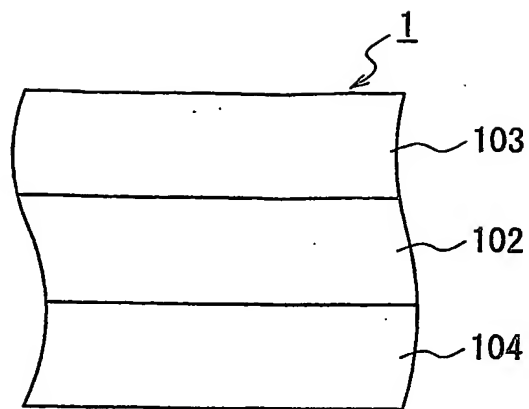


FIG. 2

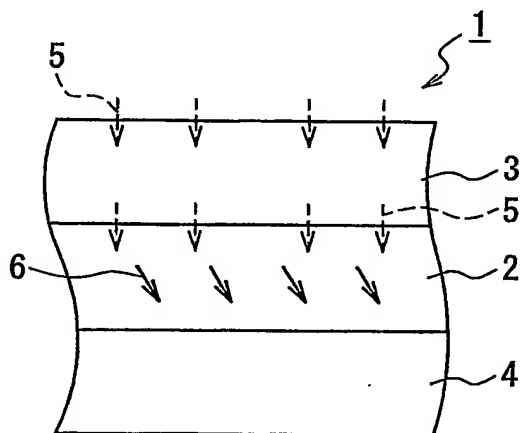


FIG. 3

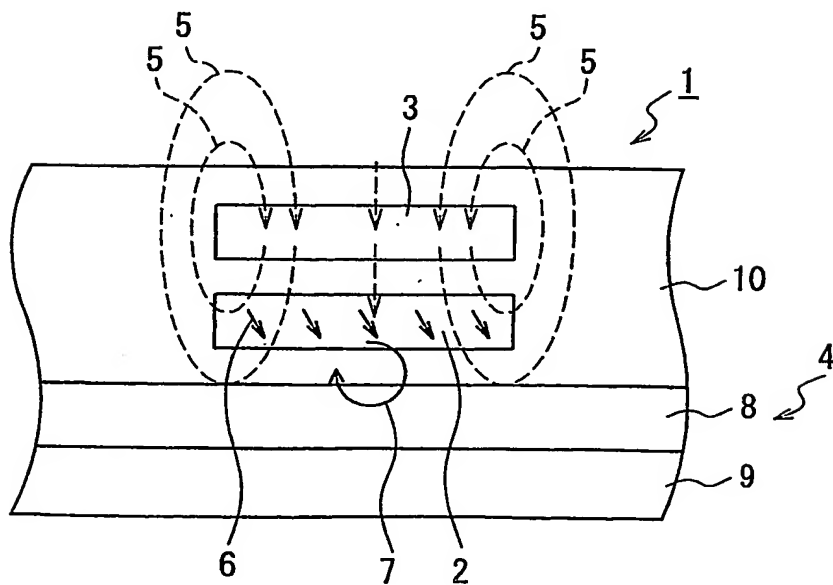


FIG. 4

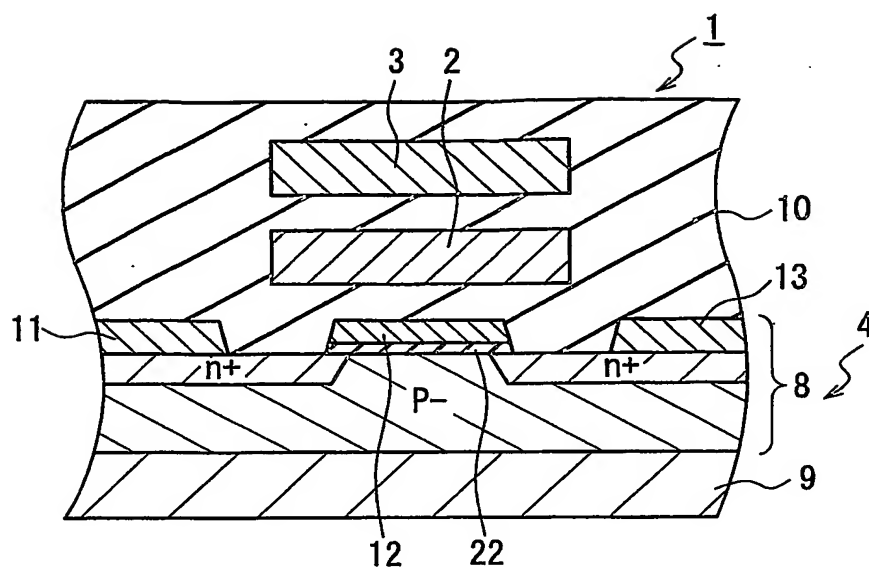


FIG. 5A

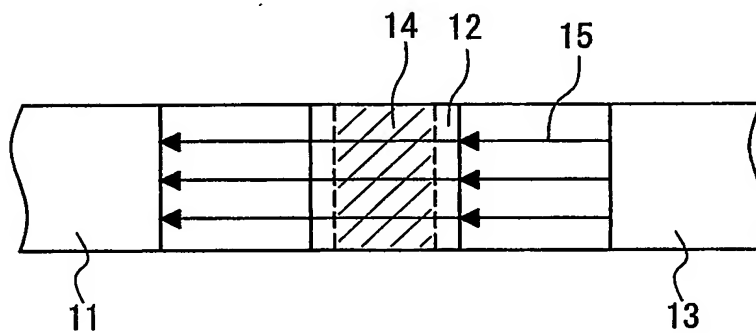


FIG. 5B

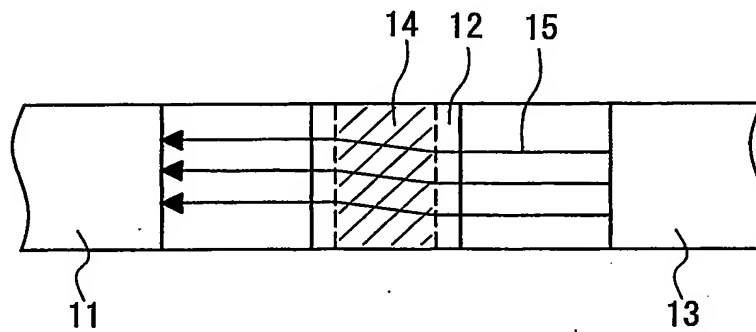


FIG. 5C

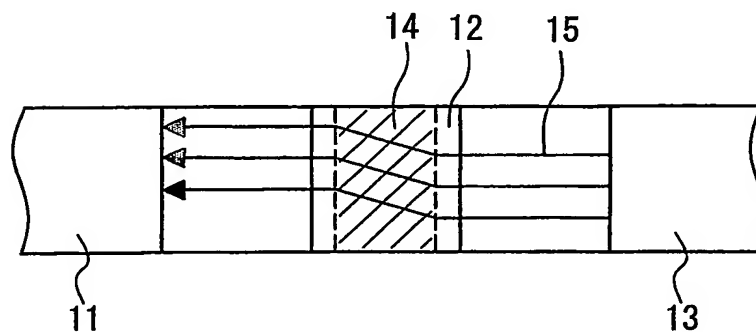


FIG. 6

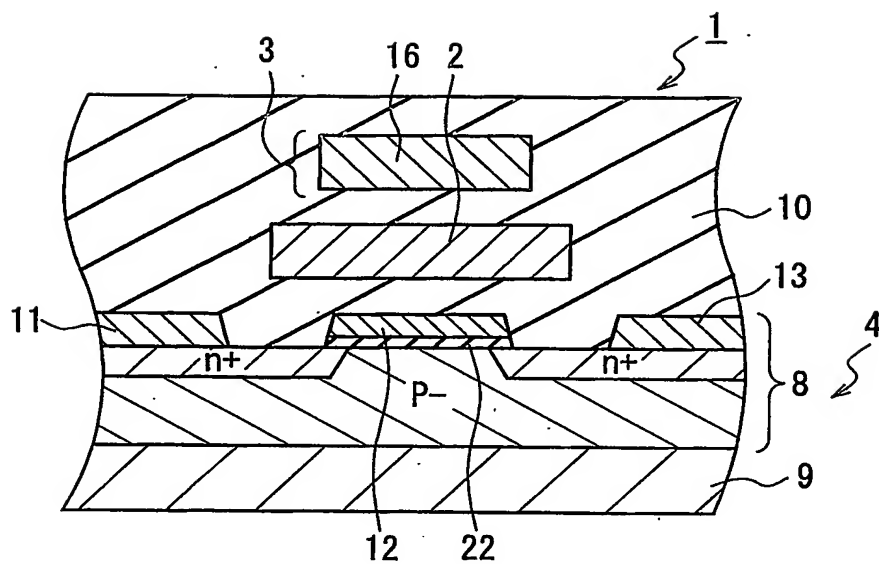
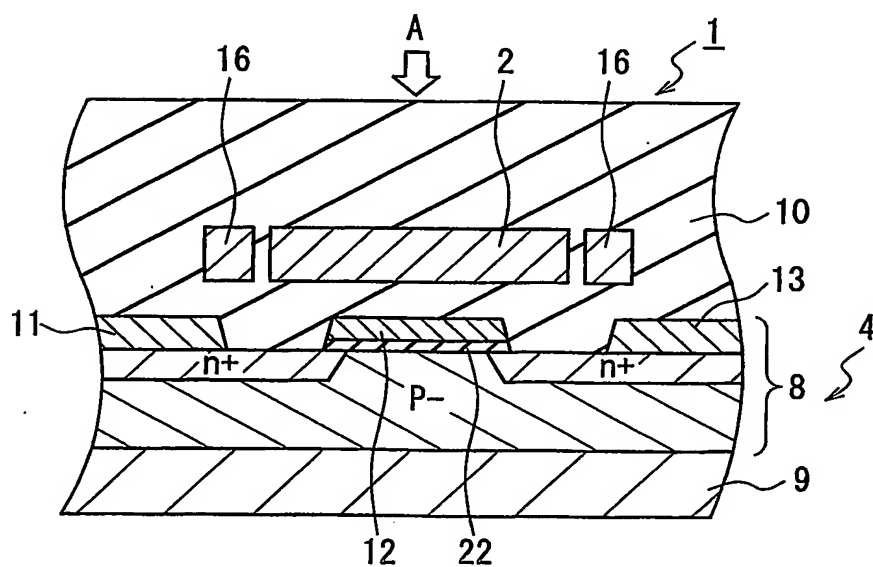


FIG. 7



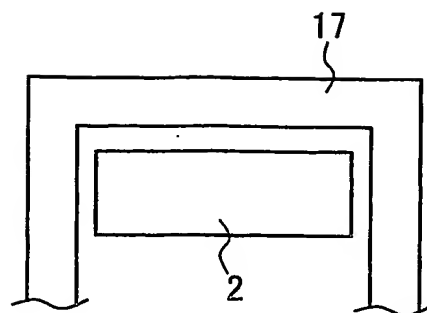


FIG. 8A

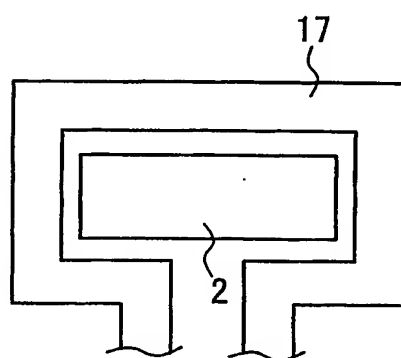


FIG. 8B

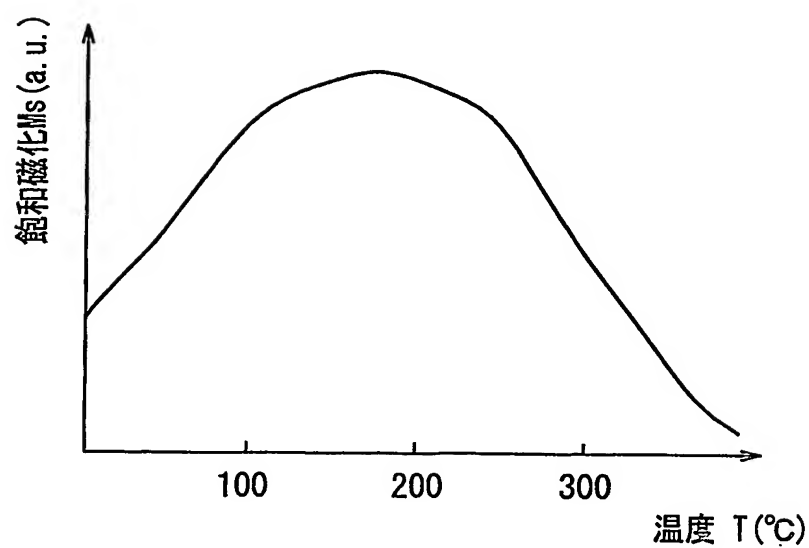


FIG. 9

FIG. 10

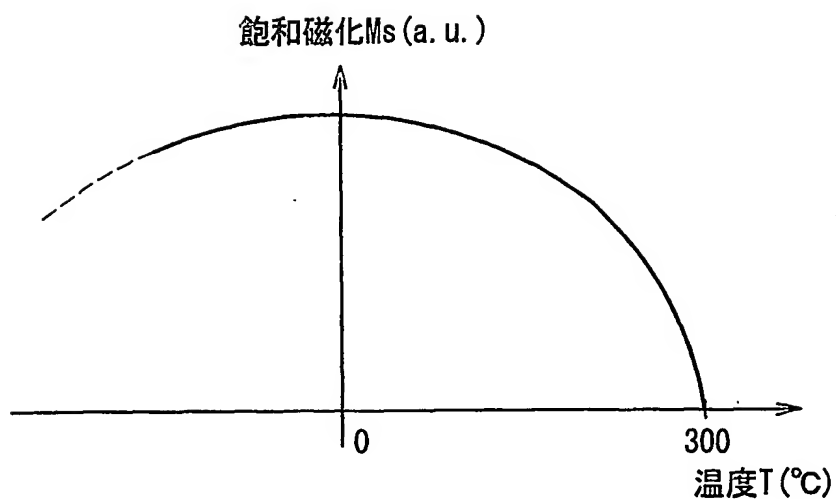


FIG. 11

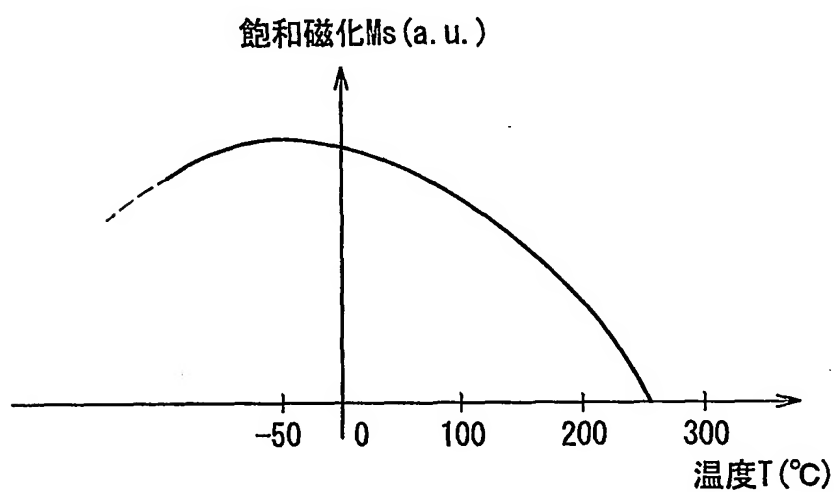
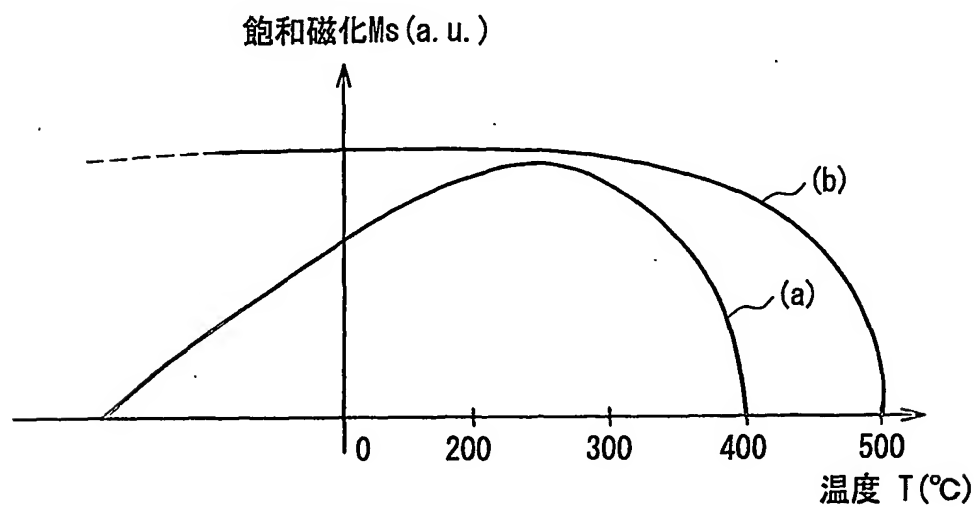


FIG. 12



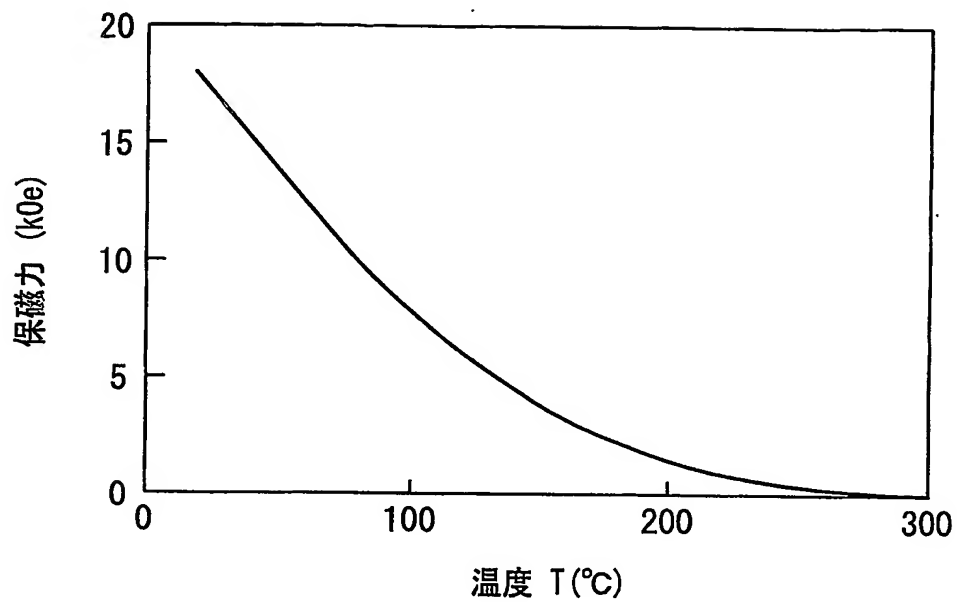


FIG. 13

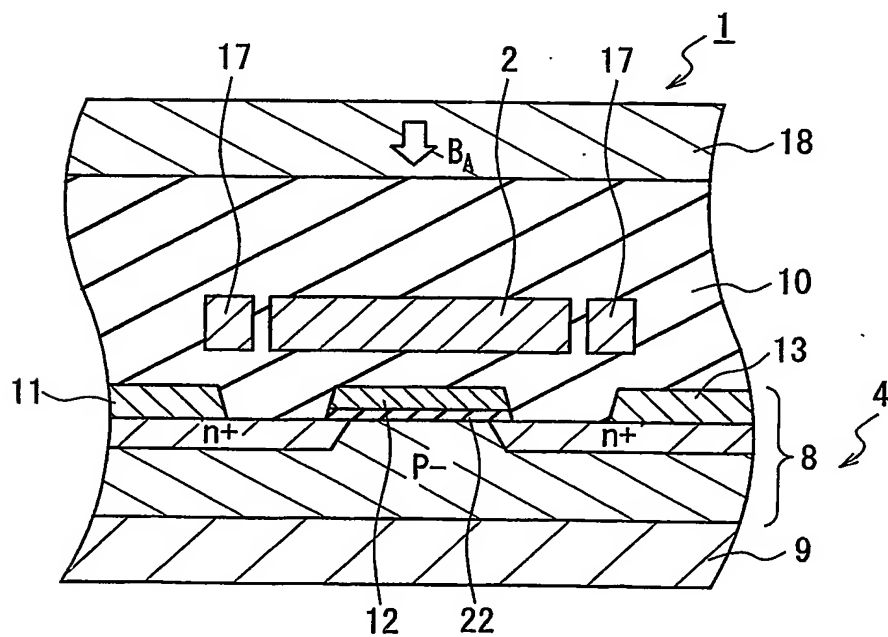


FIG. 14

FIG. 15A

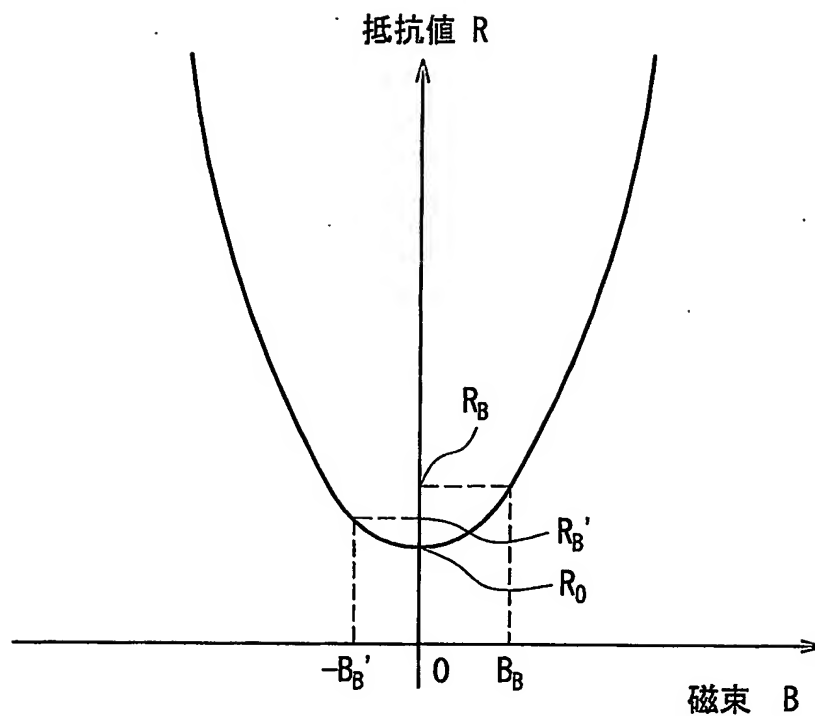


FIG. 15B

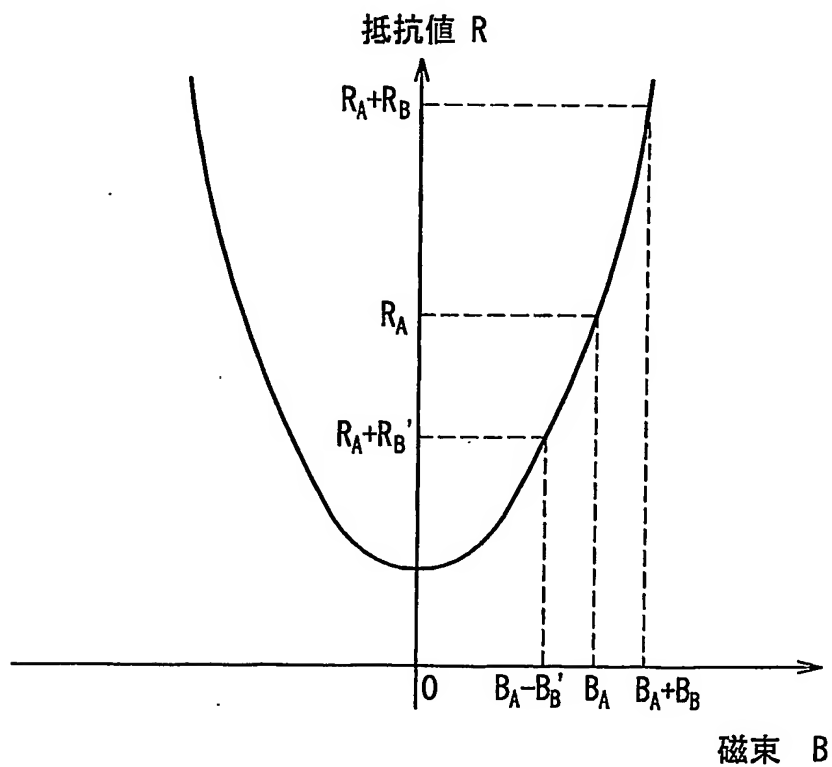


FIG. 16

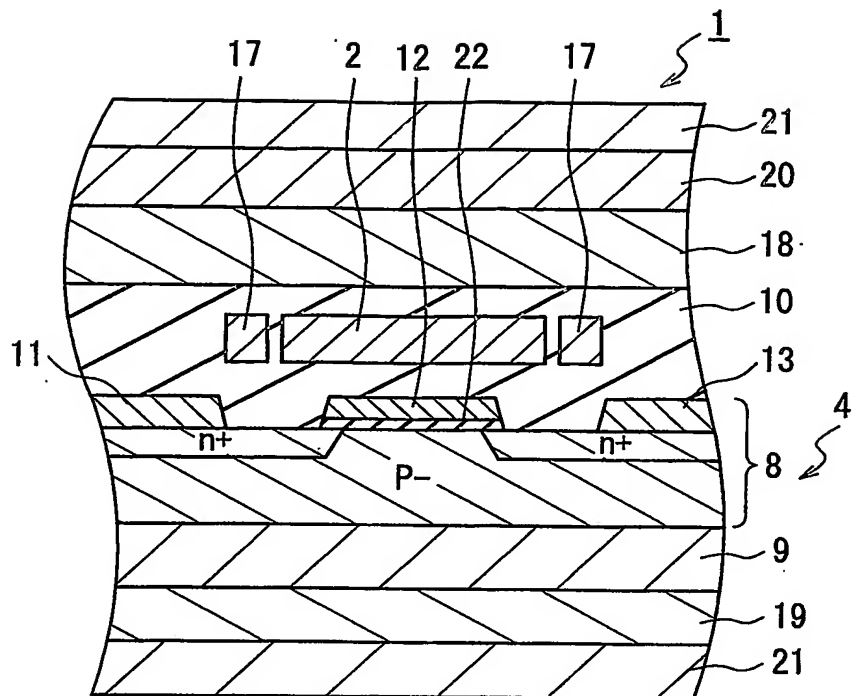


FIG. 17

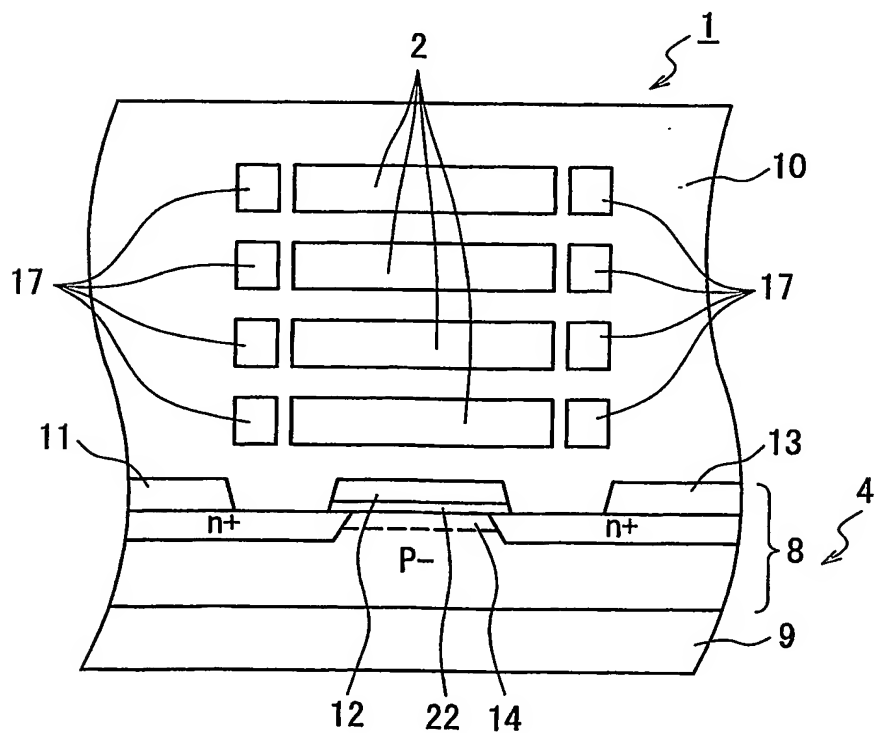


FIG. 18A

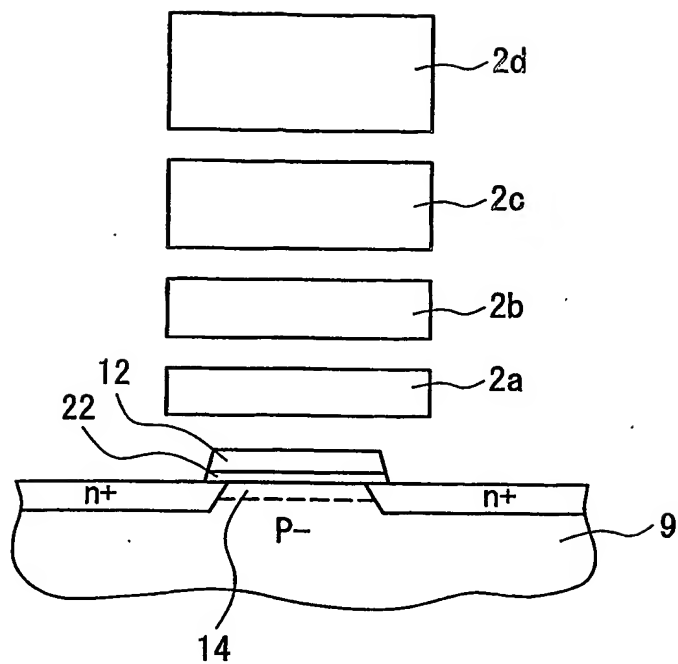
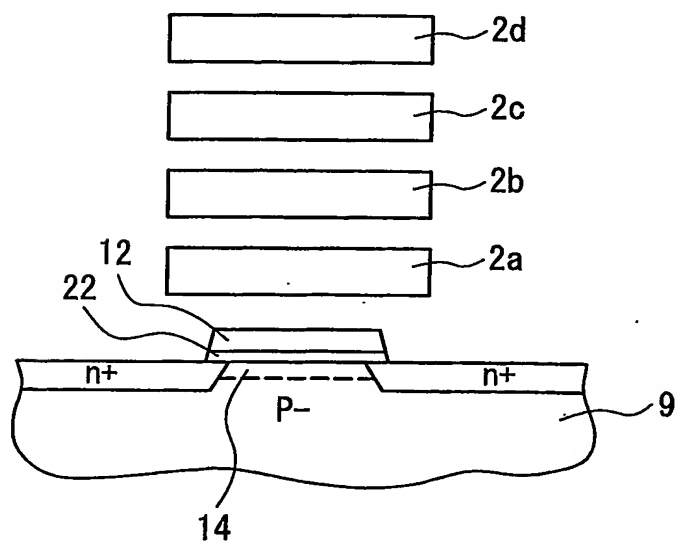


FIG. 18B



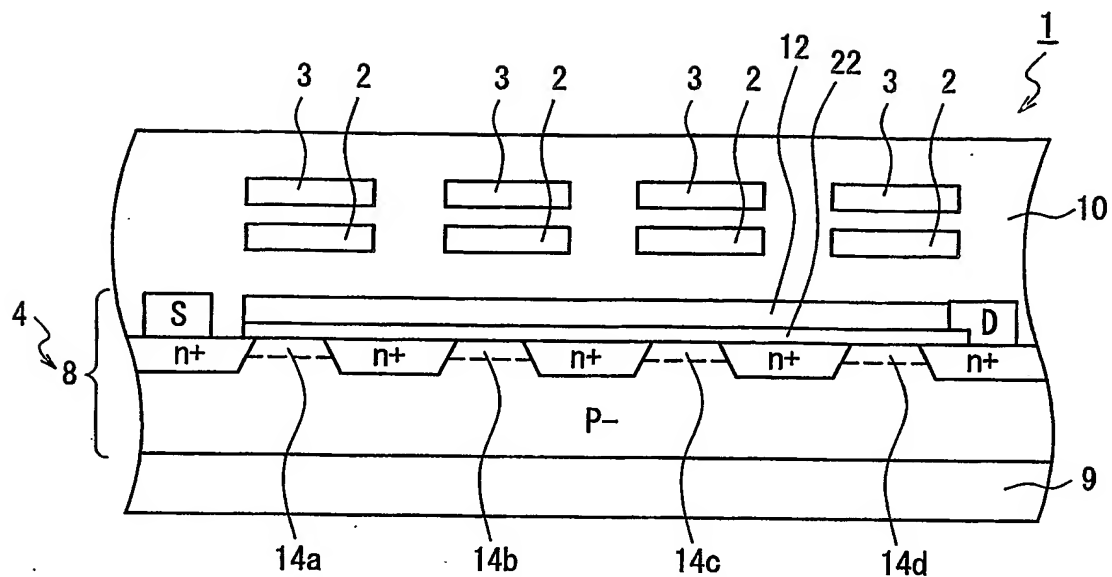


FIG. 21

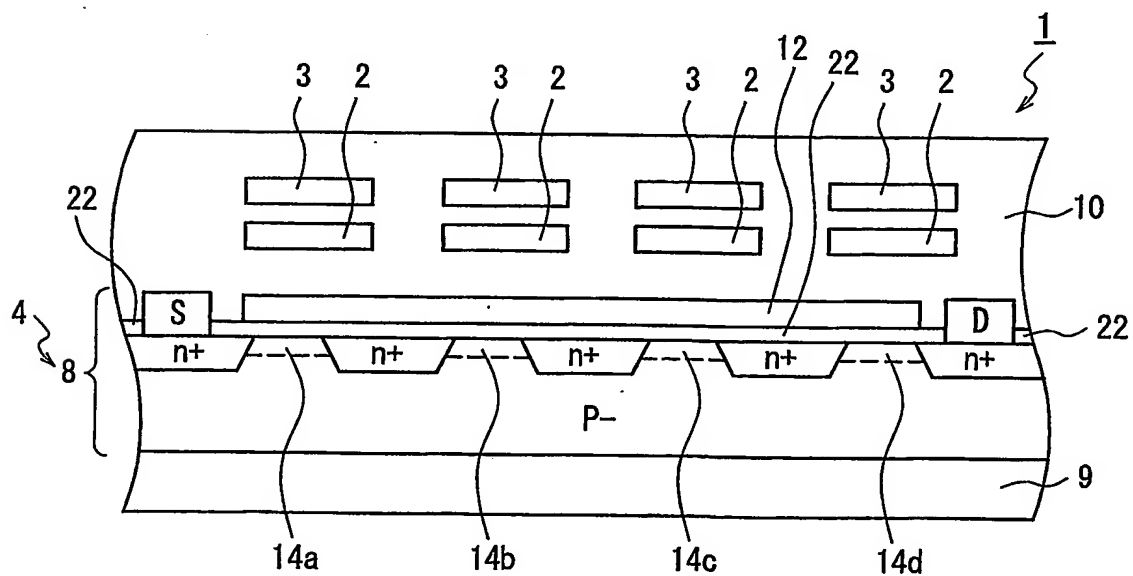


FIG. 22

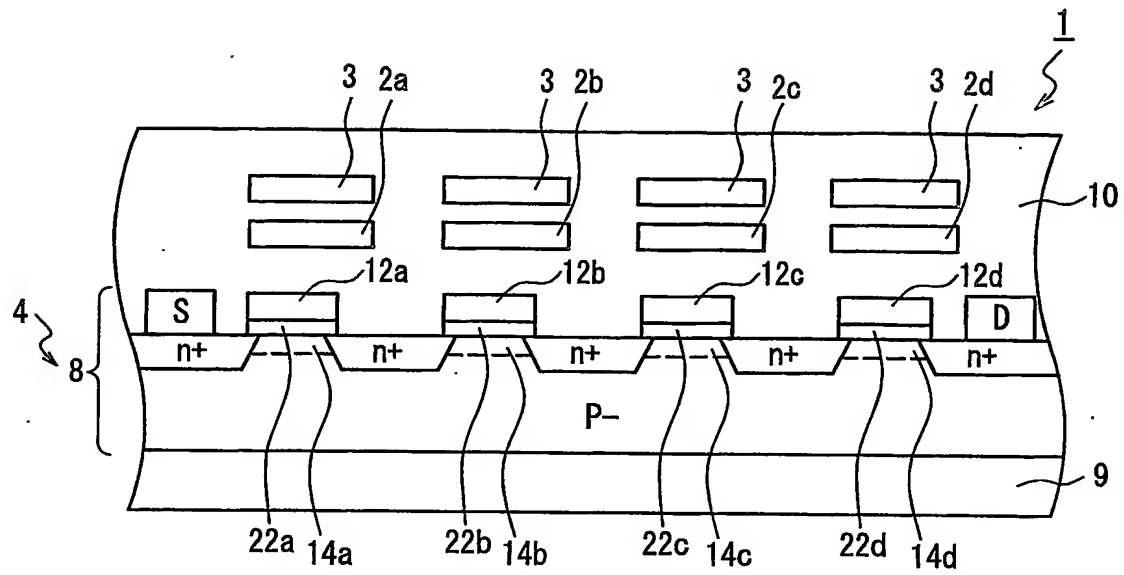


FIG. 23

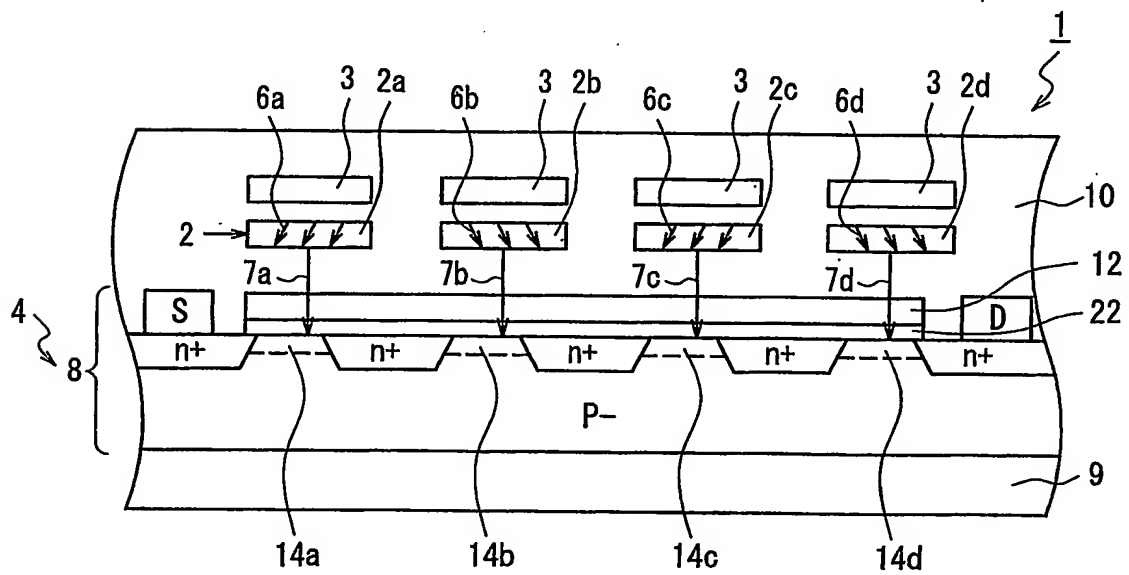


FIG. 24

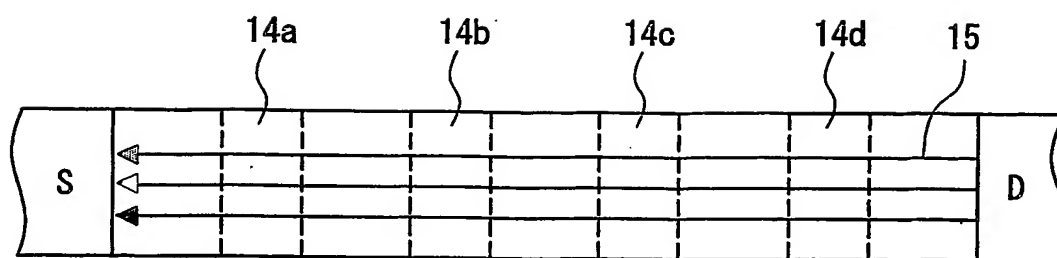


FIG. 25A

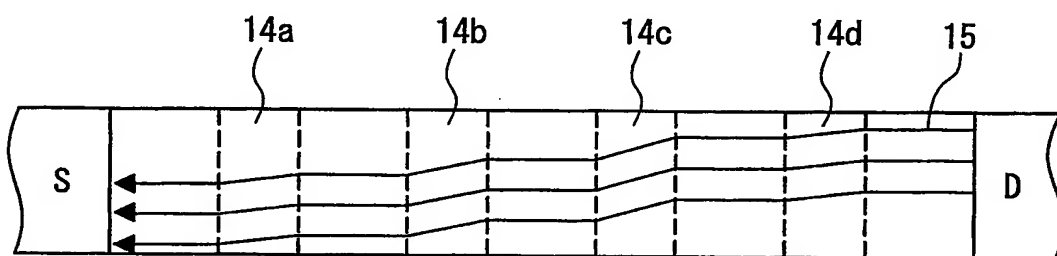


FIG. 25B

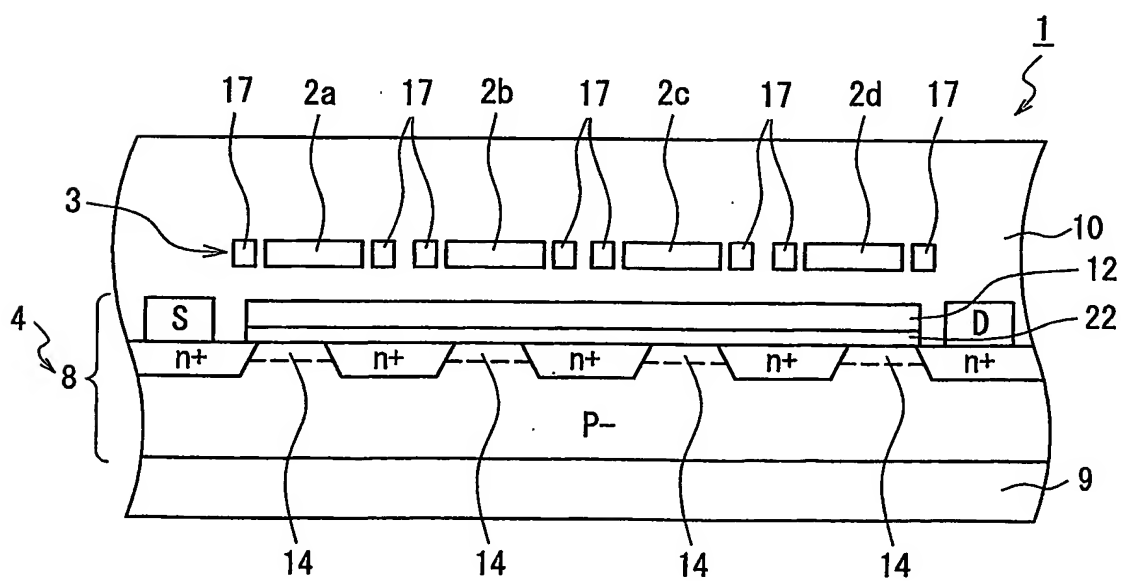


FIG. 26

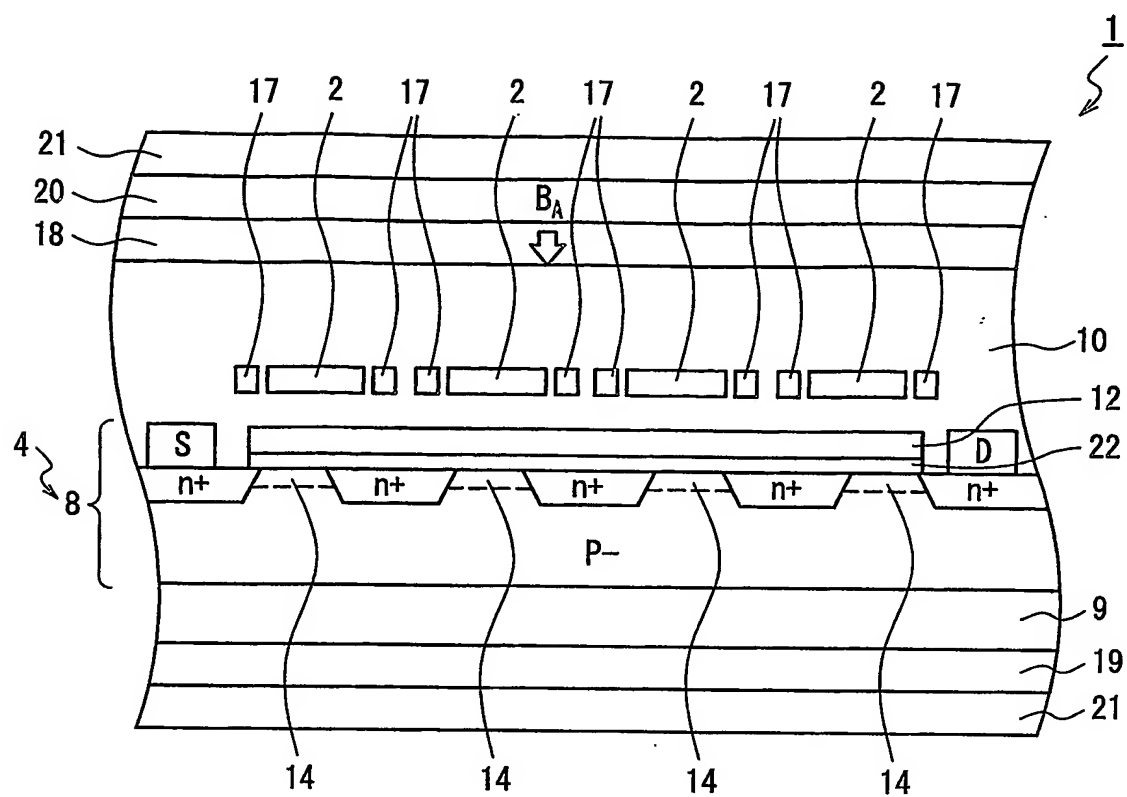


FIG. 27

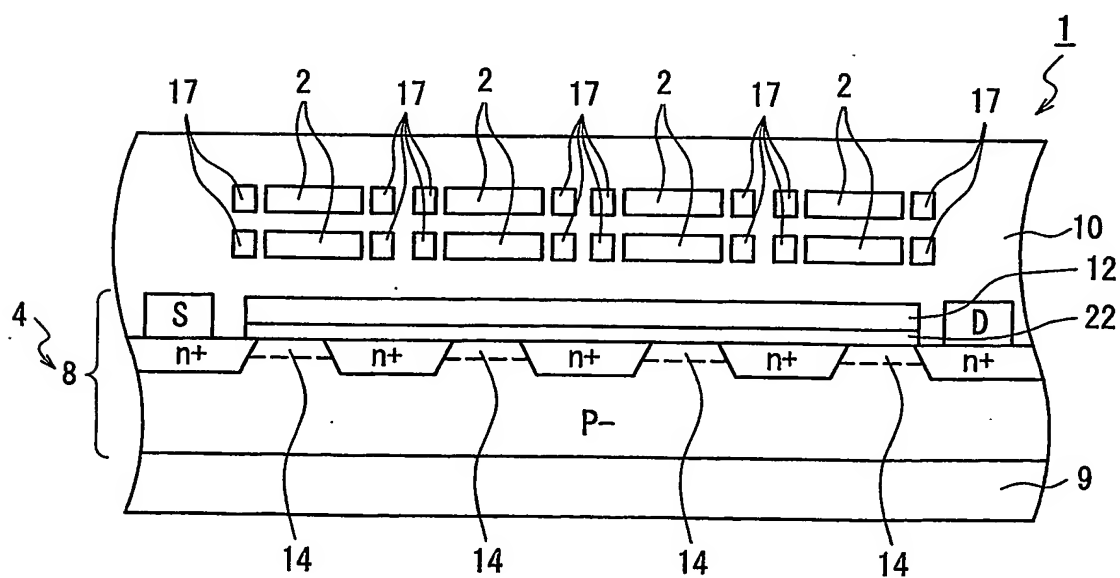


FIG. 28

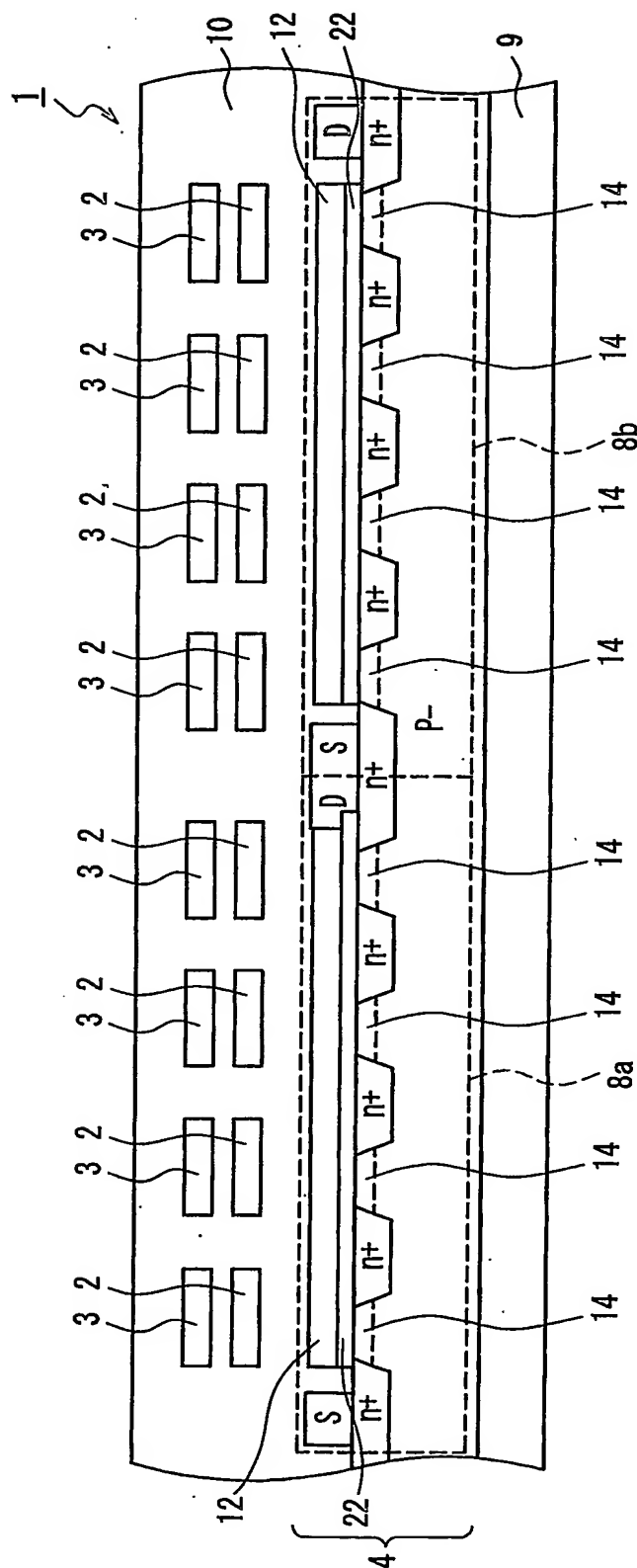


FIG. 29

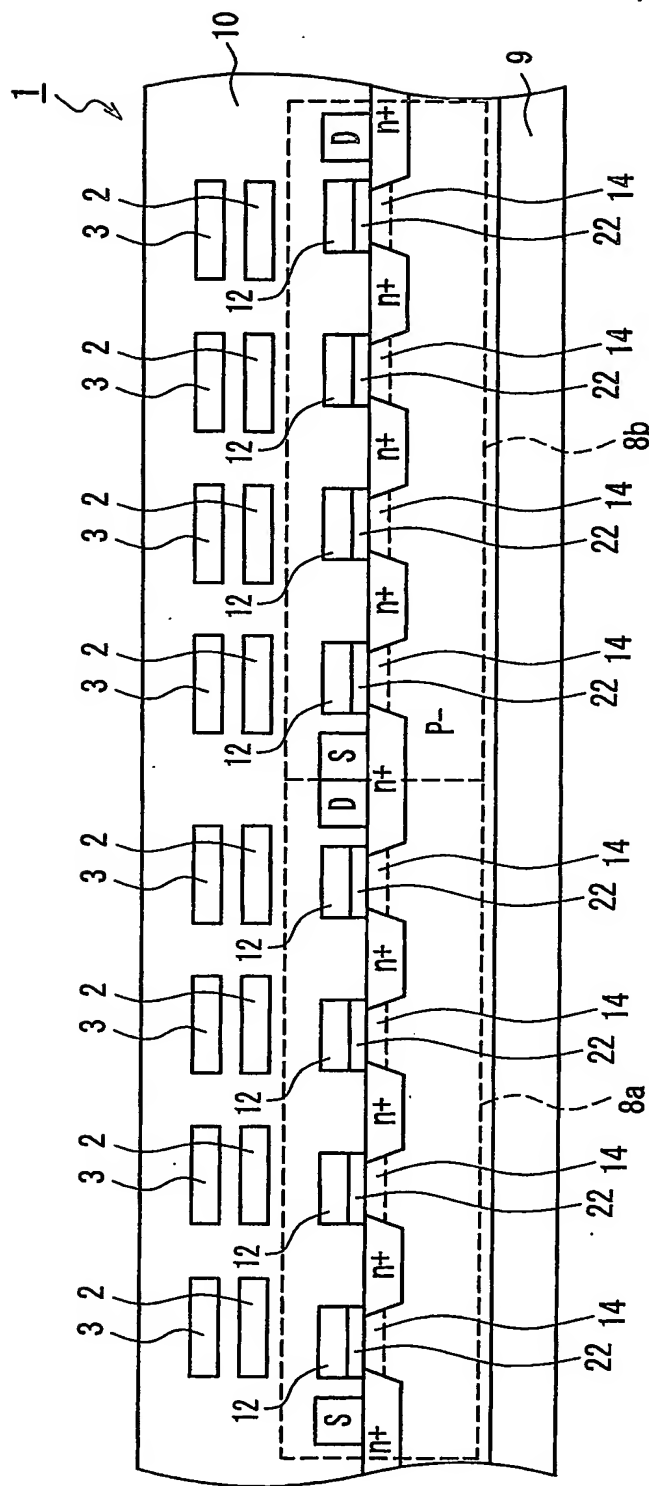


FIG. 30

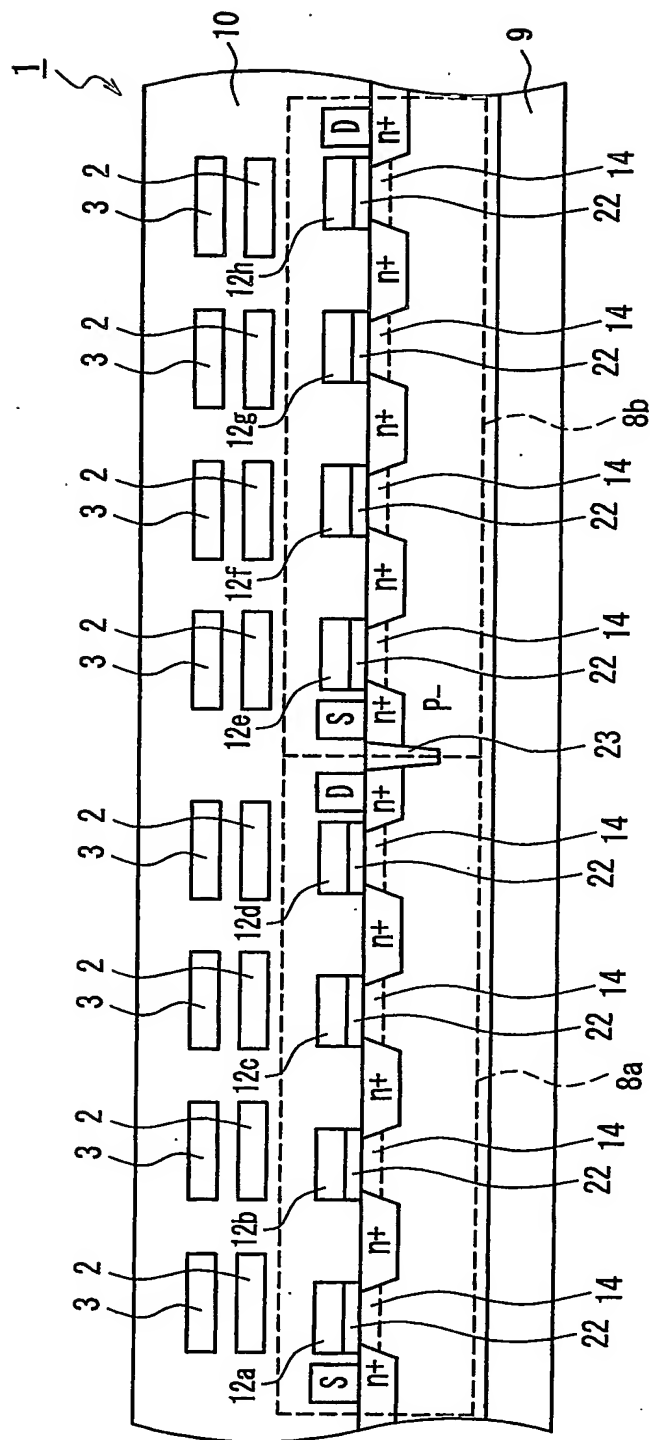


FIG. 31

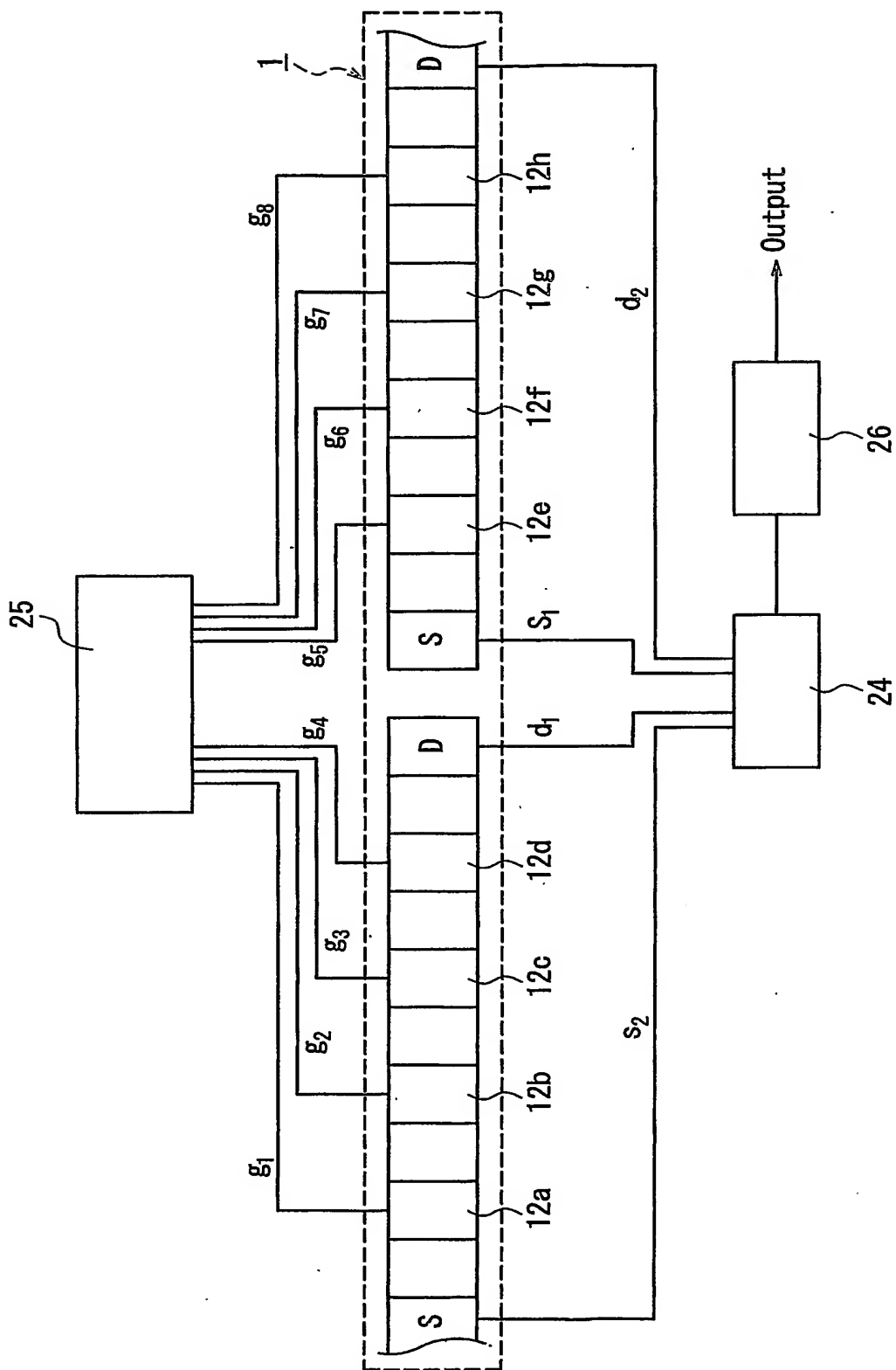


FIG. 32

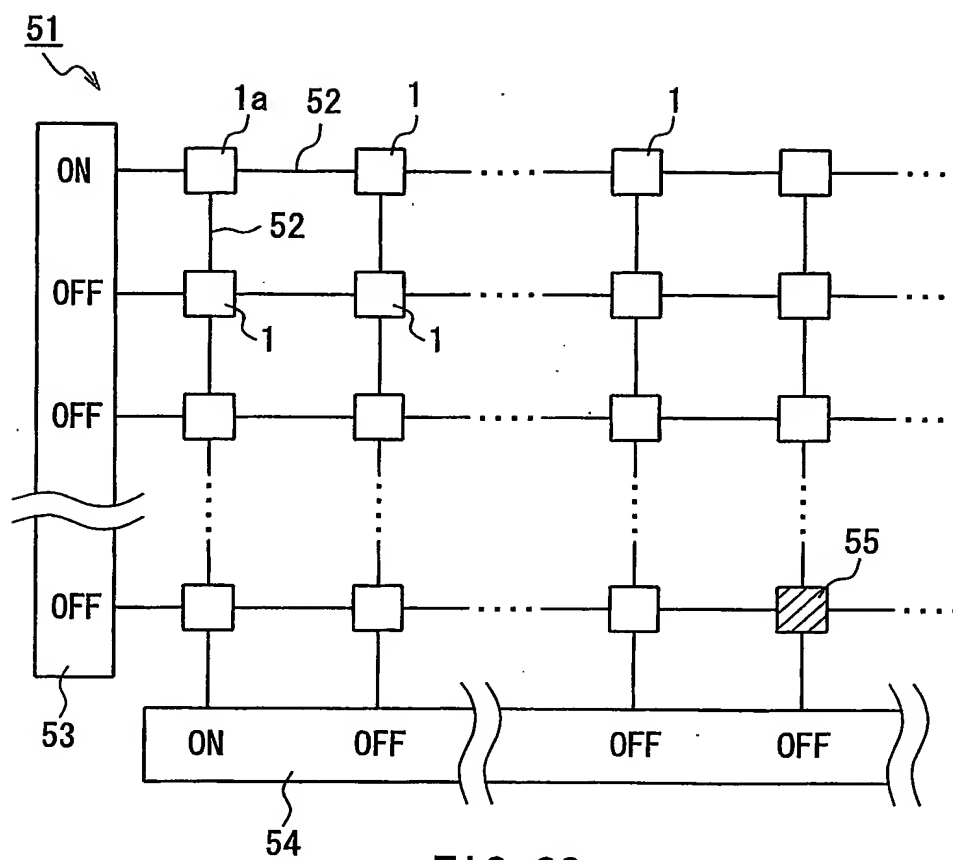


FIG. 33

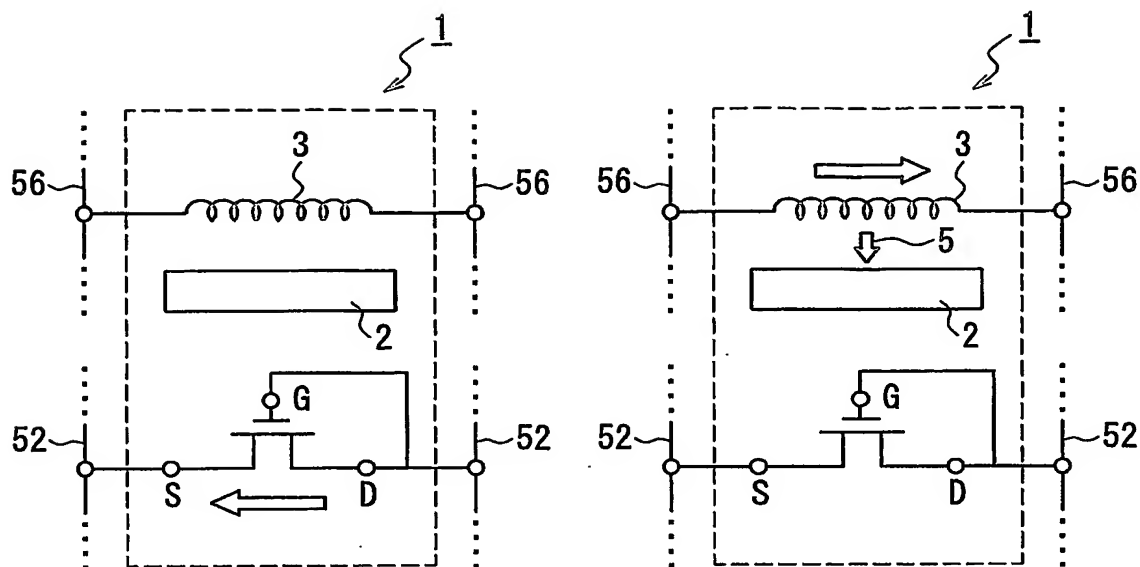


FIG. 34A

FIG. 34B

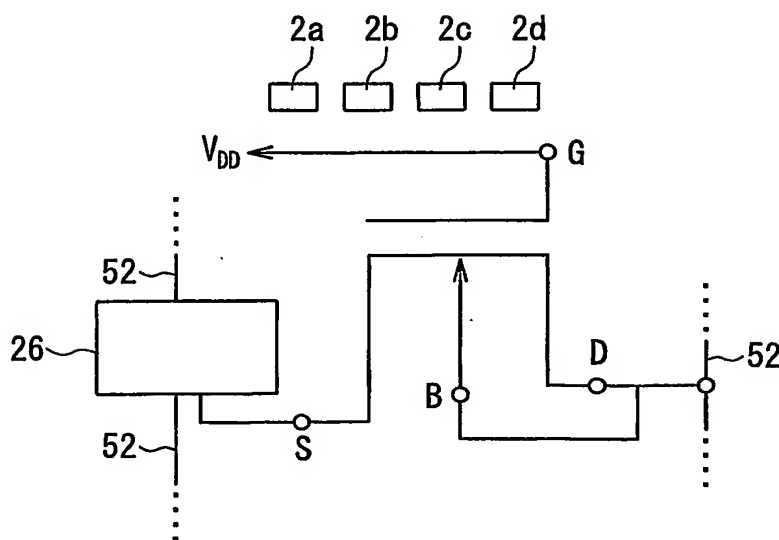


FIG. 35

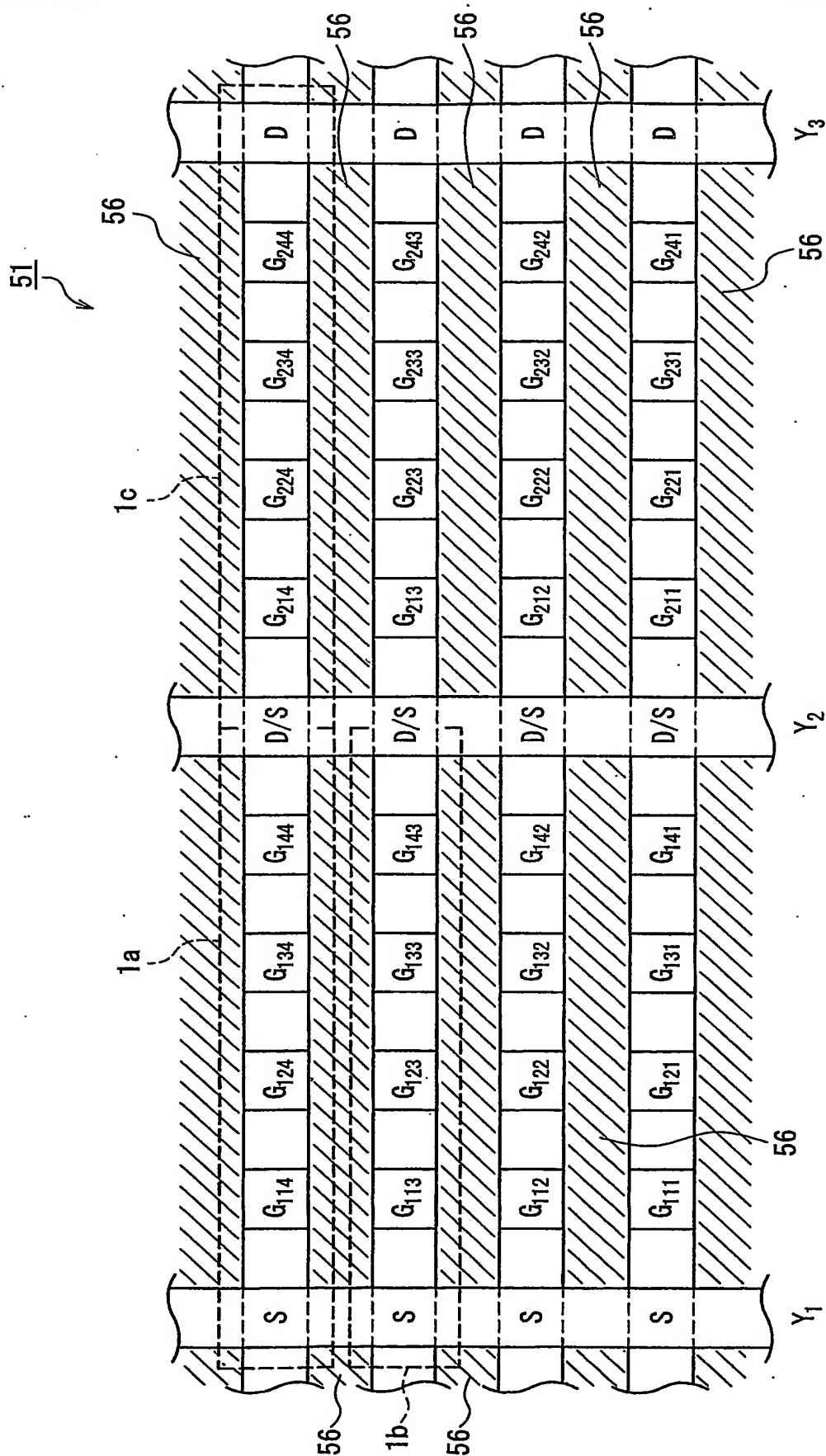


FIG. 36

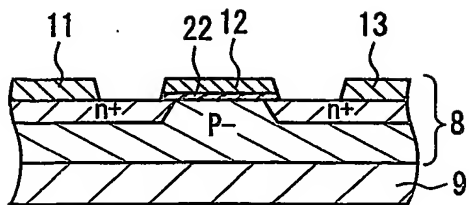


FIG. 37A

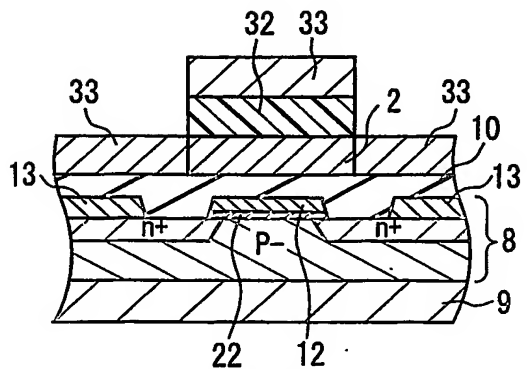


FIG. 37E

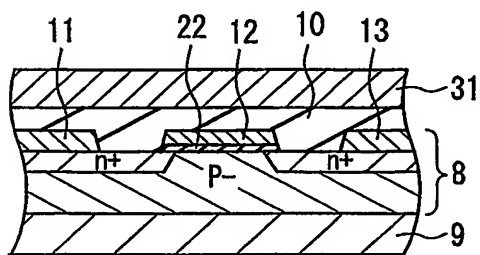


FIG. 37B

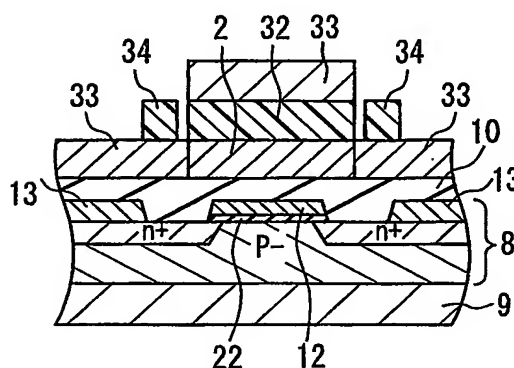


FIG. 37F

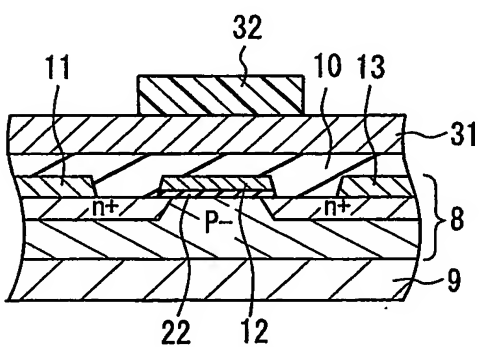


FIG. 37C

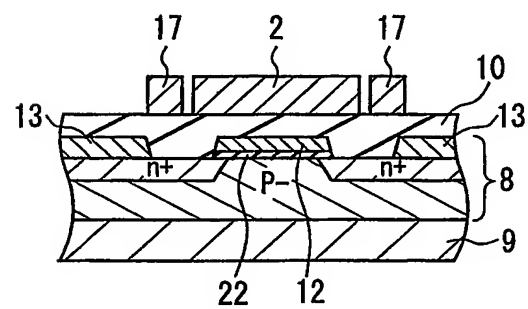


FIG. 37G

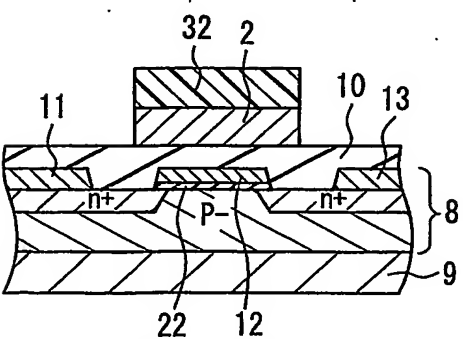


FIG. 37D

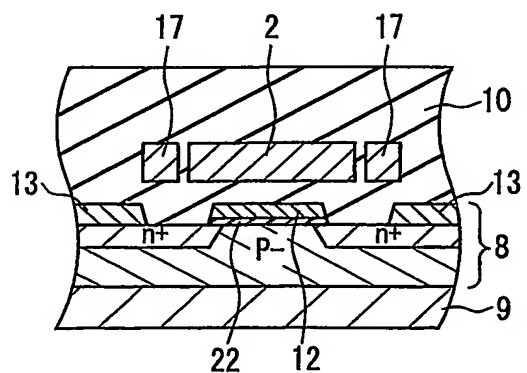


FIG. 37H

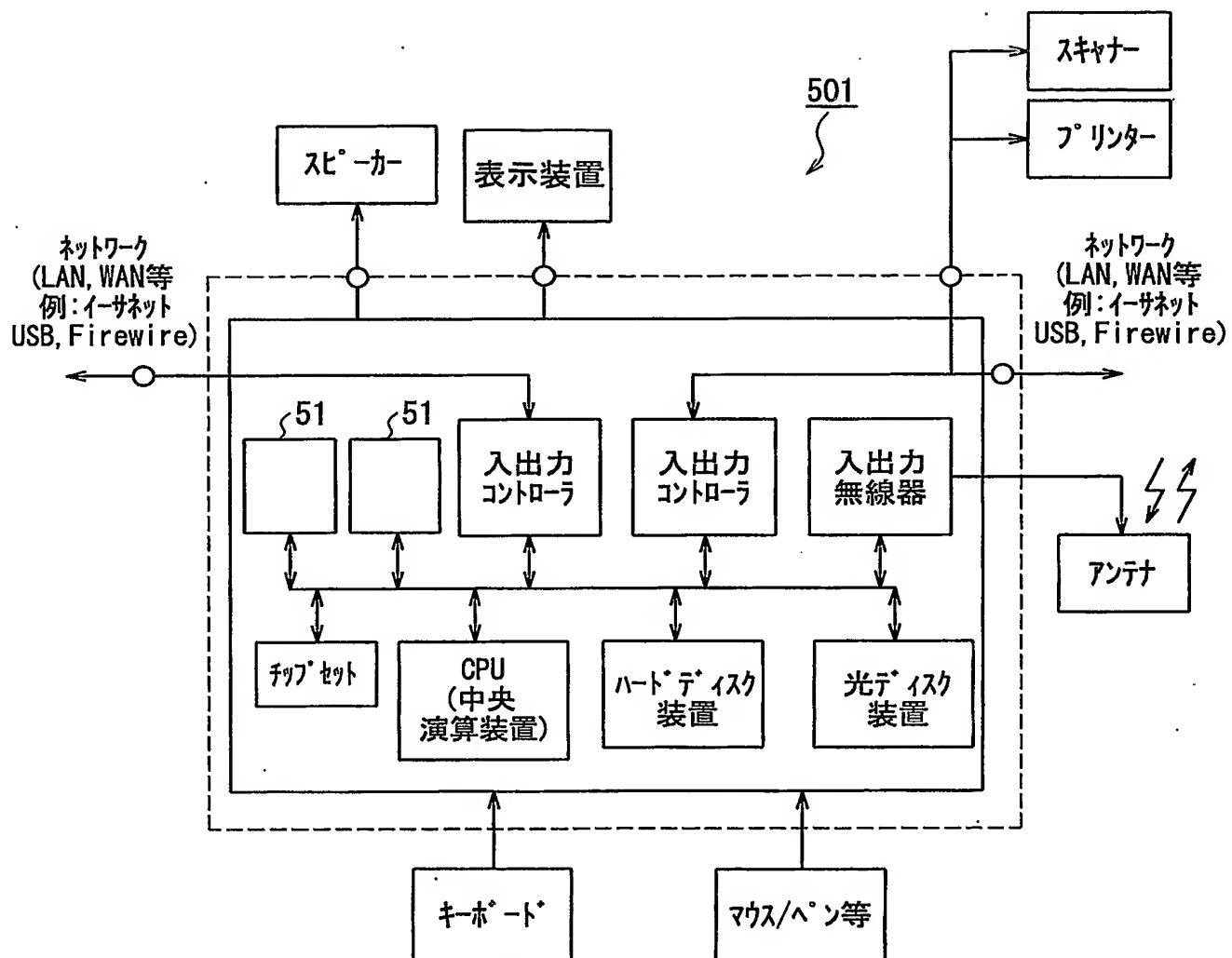


FIG. 38

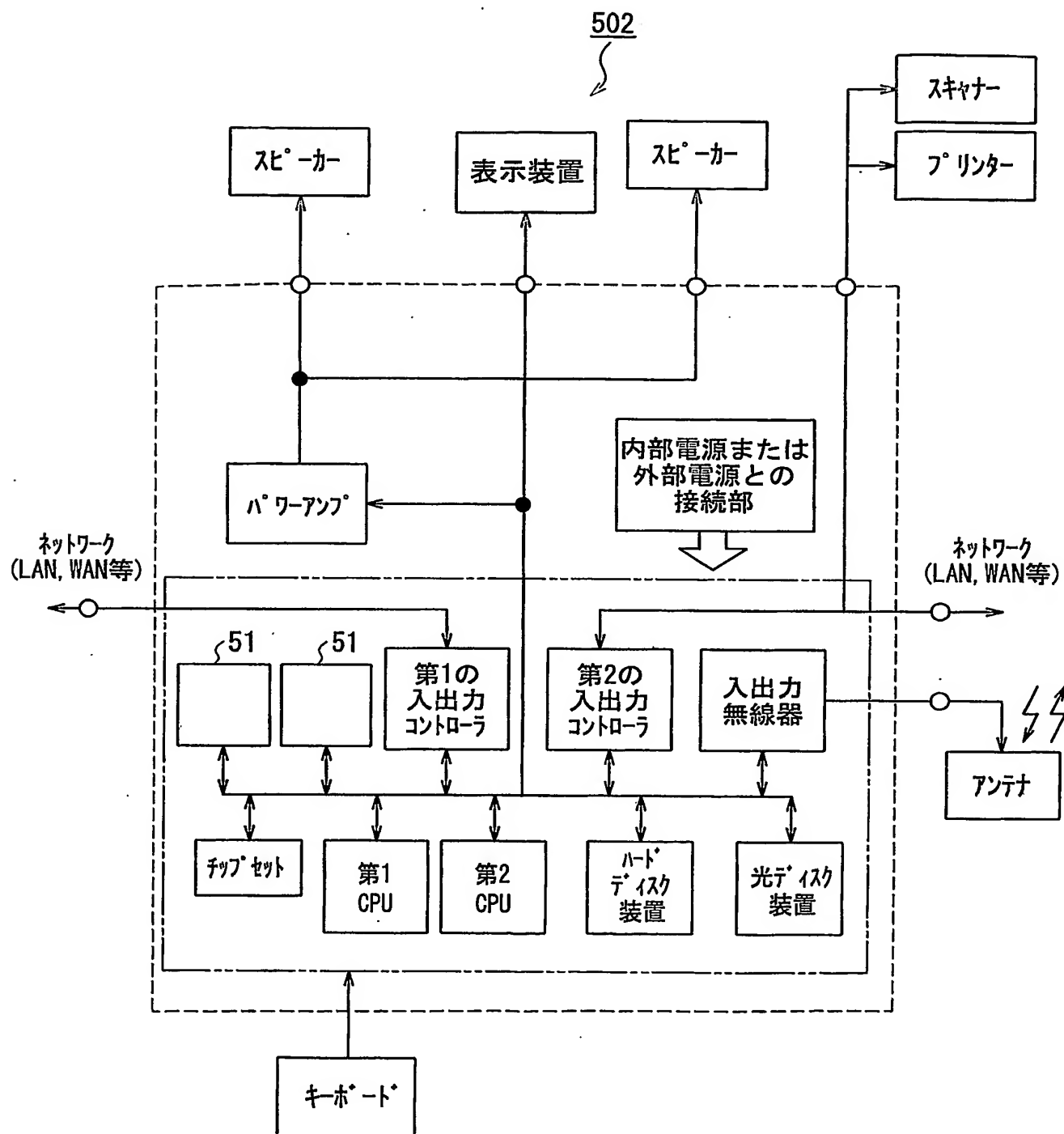


FIG. 39

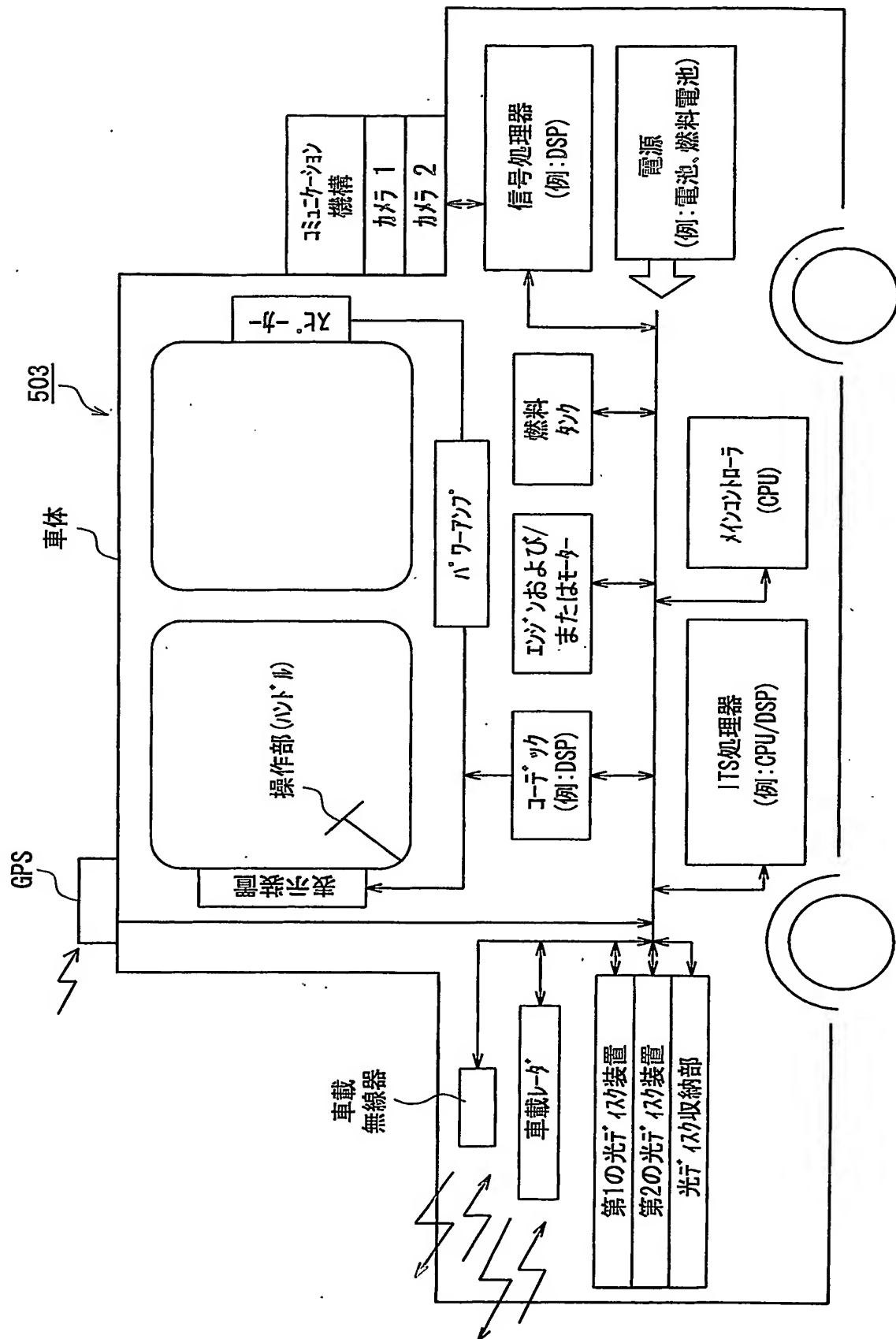


FIG. 40

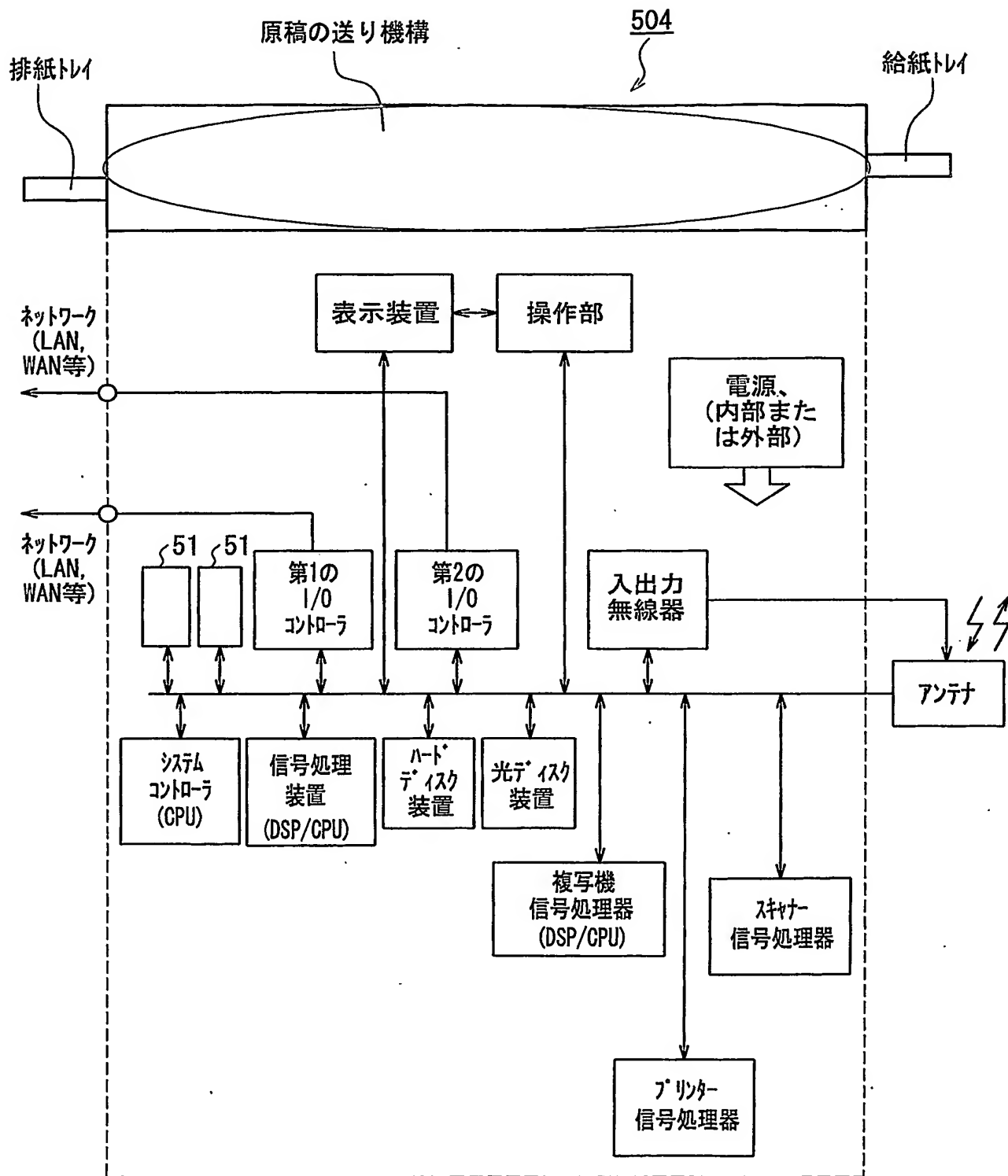


FIG. 41

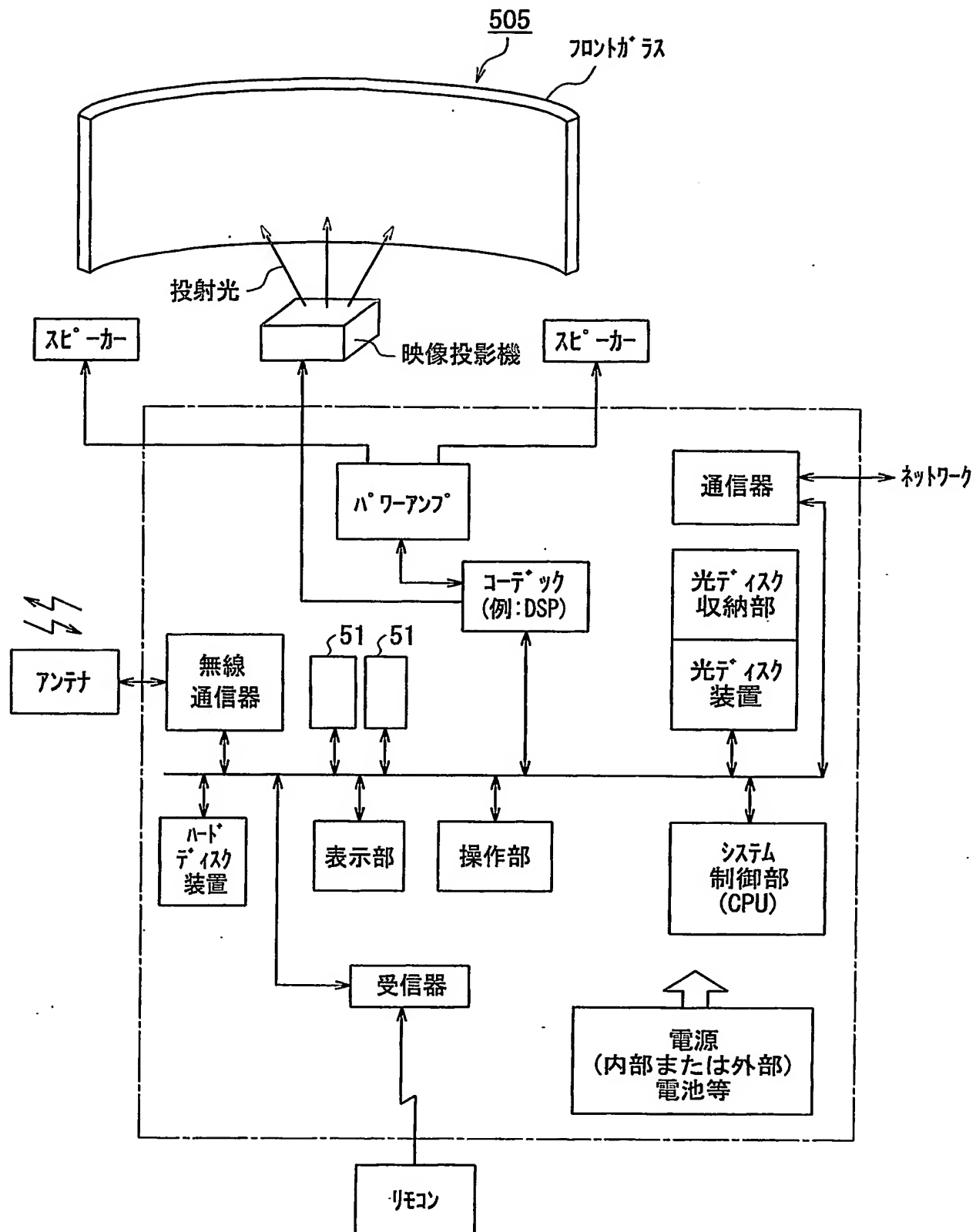


FIG. 42

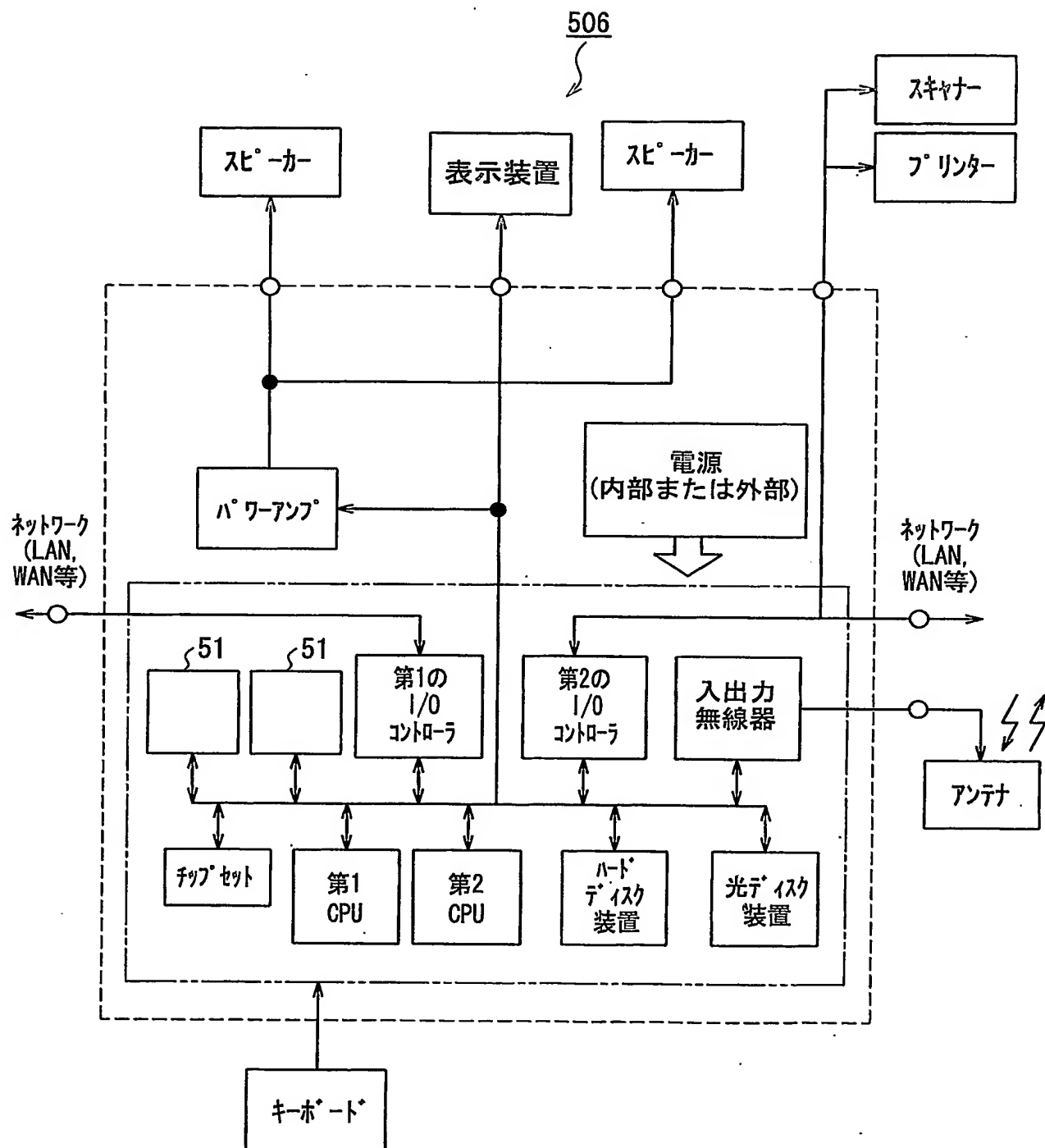


FIG. 43

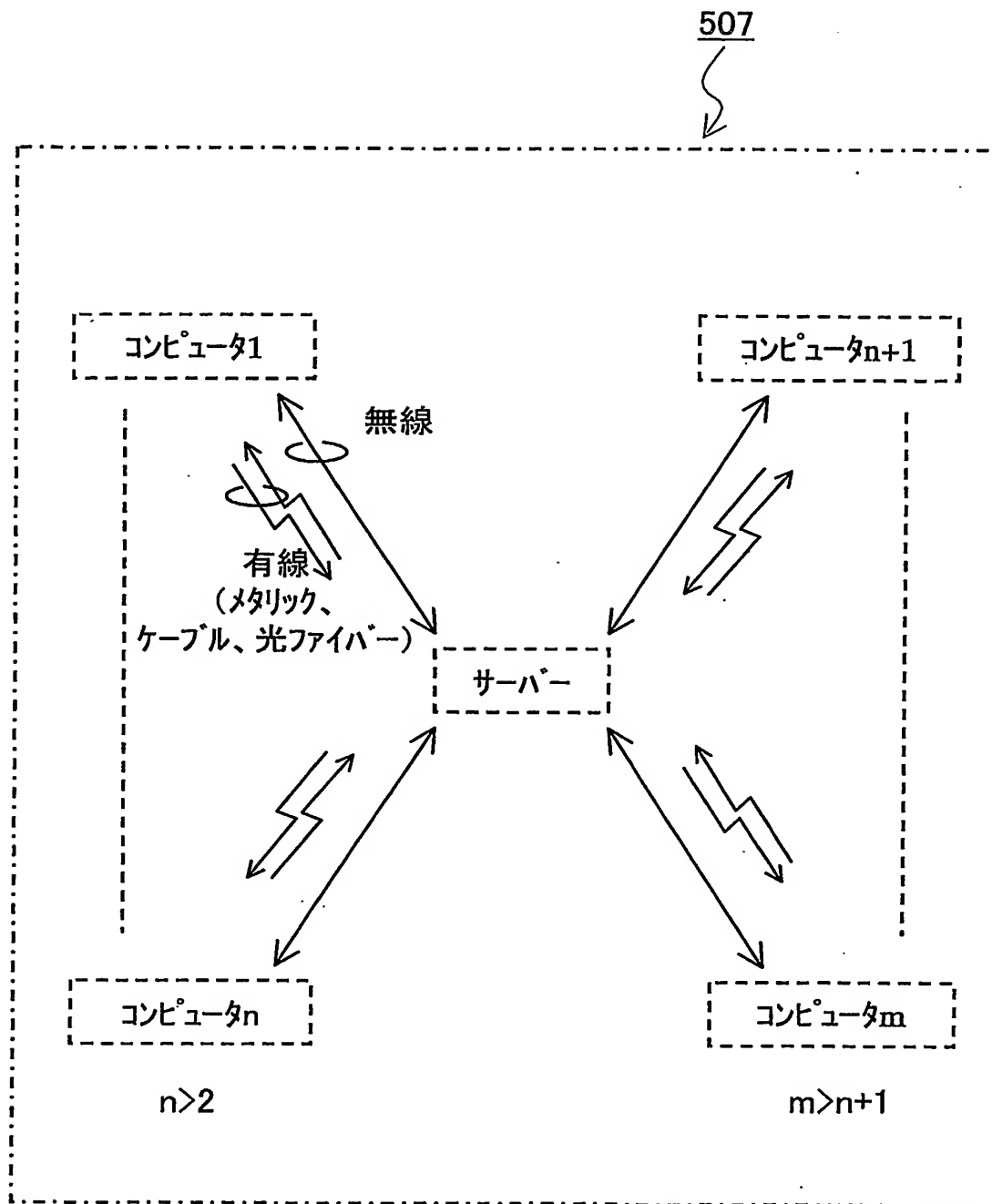


FIG. 44

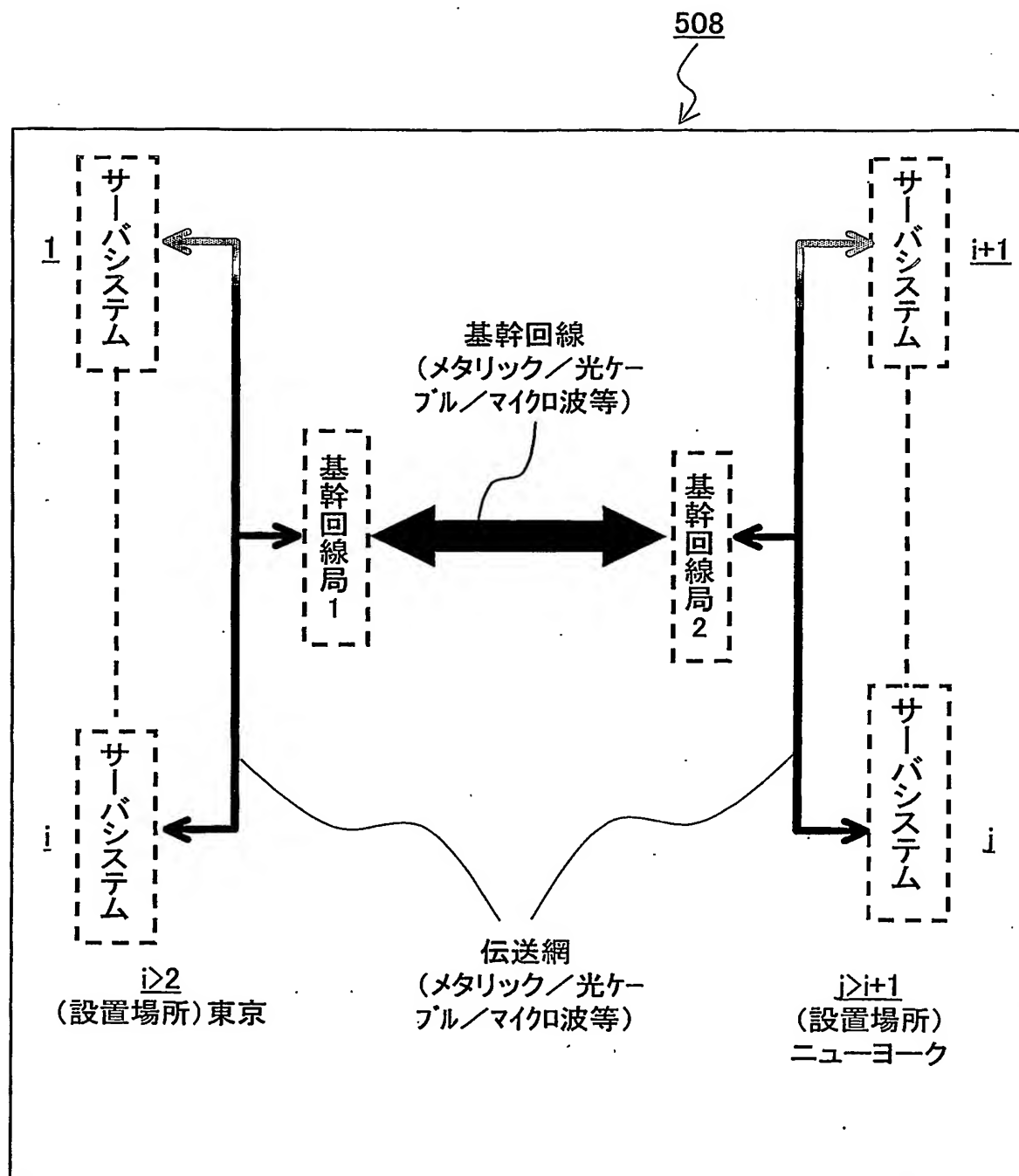


FIG. 45

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004650

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L27/105, 27/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L27/105, 27/22, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 57-68092 A (Hitachi, Ltd.), 26 April, 1982 (26.04.82), Full text (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 June, 2004 (25.06.04)

Date of mailing of the international search report
13 July, 2004 (13.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004650

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

(See extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004650

Continuation of Box No.III of continuation of first sheet(2)

There must exist a special technical feature so linking a group of inventions of claims as to form a single general inventive concept in order that the group of inventions may satisfy the requirement of unity of invention. However, the group of inventions of claims 1-37 are linked only by the technical feature that "...comprises a memory medium capable of holding information, control unit for recording information in the memory medium, and a sensing element for reading information from the memory medium, and the sensing element is independent of the memory medium".

However, this technical feature cannot be a special technical feature since it is disclosed in prior art documents such as JP 57-68092 A (Hitachi, Ltd.) 26 April, 1982 (26.04.82).

Therefore, there exists no special technical feature so linking the group of inventions of claims 1-37 as to form a single general inventive concept. Consequently, it appears that the group of inventions of claims 1-37 do not satisfy the requirement of unity of invention. Therefore, the inventions of claims 1-37 are divided into two groups of inventions: the inventions of claims 1-27, 29-34, 36, 37; and the inventions of claims 28, 35.

Further examining the group of inventions of claims 2-27, 29-34, 36, 37 referring to claim 1, the inventions are linked only by the technical feature that "the memory medium is a magnetic body, the control unit has a first magnetic field generating section for varying the magnetized state of the magnetic body by applying a magnetic field to the magnetic body, and the sensing element is disposed near the magnetic body and has a magnetic-to-electric conversion section having an electric characteristic varying with the magnetized state of the magnetic body". However, this technical feature cannot be a special technical feature since it is disclosed in the above mentioned prior art document.

Therefore, there exists no special technical feature so linking the group of inventions of claims 2-27, 29-34, 36, 37 as to form a single general inventive concept. Consequently, it appears that the inventions of claims 2-27, 29-34, 36, 37 do not satisfy the requirement of unity of invention.

Therefore, the inventions of claims 2-27, 29-34, 36, 37 are apparently divided into fifteen groups of inventions: the inventions of claims 2-6, 26, 27, 32-34; the inventions of claims 7-18; the inventions of claims 19-25; and the inventions of 29-31, 36, 37.

Further examining the group of inventions of claims 3-6, 26, 27, 32-34 referring to claim 2, the inventions are linked only by the technical feature that "the magnetic-to-electric conversion section includes a magnetic-to-electric conversion element having an electrical characteristic varying with the state of the magnetic field to be sensed, and the magnetic-to-electric conversion element is disposed near the magnetic body so as to sense the magnetic flux generated by the magnetic body".

However, this technical feature cannot be a special technical feature since it is disclosed in the above mentioned prior art document.

Therefore, there exists no special technical feature so linking the group of inventions of claims 3-6, 26, 27, 32-34 as to form a single general inventive concept. Consequently, it appears that the inventions of claims 3-6, 26, 27, 32-34 do not satisfy the requirement of unity of invention.

Therefore, the inventions of claims 3-6, 26, 27, 32-34 are divided into three groups of inventions: the inventions of claims 3, 4; the inventions of claims 5, 6, 26, 27; (Continued to extra sheet.)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004650

Continuation of Box No.III of continuation of first sheet(2)

and the inventions of claims 32-34.

Consequently, this international application contains eighteen groups of inventions: the inventions of claims 1-4; the inventions of claims 5, 6, 26, 27; the invention of claim 7; the invention of claim 8; the invention of claim 9; the invention of claim 10; the invention of claim 11; the invention of claim 12; the invention of claim 13; the invention of claim 14; the invention of claim 15; the invention of claim 16; the invention of claim 17; the invention of claim 18; the inventions of claims 19-25; the inventions of claims 29-31, 36, 37; the inventions of claims 28, 35; and the inventions of claims 32-34.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl¹ H01L27/105, 27/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl¹ H01L27/105, 27/22, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 57-68092 A (株式会社日立製作所) 1982.04.26, 全文 (ファミリーなし)	1-4

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

25.06.2004

国際調査報告の発送日

13.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

9354

電話番号 03-3581-1101 内線 3462

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
(特別ページ) を参照のこと。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲第1-4項

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1-37に記載されている一群の発明は、「情報を保持するメモリ媒体と、前記メモリ媒体に情報を記録する制御部と、前記メモリ媒体から情報を読み出す検出素子とを含み、前記検出素子は、前記メモリ媒体から独立している」という事項でのみ連関していると認められる。

しかしながら、この事項は先行技術文献、例えば、JP 57-68092 A (株式会社日立製作所) 1982.04.26等に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1-37に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲1-37に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。よって、請求の範囲1-37に記載された発明は、請求の範囲1-27、29-34、36、37に記載の発明と請求の範囲28、35に記載の発明の2個に区分されることになる。

そこで、請求の範囲1を引用する請求の範囲2-27、29-34、36、37に記載された一群の発明についてさらに検討すると、この一群の発明は、「前記メモリ媒体が磁性体であり、前記制御部は、前記磁性体に磁界を印加することによって前記磁性体の磁化状態を変化させる第1の磁界発生部を含み、前記検出素子は、前記磁性体の近傍に配置されており、かつ、前記磁性体の前記磁化状態に応じて電気的特性が異なる磁電変換部を含む」という事項でのみ連関していると認められる。しかしながら、この事項は、先に提示した先行技術文献に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲2-27、29-34、36、37に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲2-27、29-34、36、37に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

よって、請求の範囲2-27、29-34、36、37に記載された発明は、一見すると、請求の範囲2-6、26、27、32-34に記載された発明と請求の範囲7-18の各請求の範囲に記載された発明と、請求の範囲19-25に記載された発明と請求の範囲29-31、36、37に記載された発明の15個に区分されることになる。

さらに、請求の範囲2を引用する請求の範囲3-6、26、27、32-34に記載された一群の発明について検討すると、この一群の発明は、「前記磁電変換部が、検知する磁界の状態に応じて電気的特性が異なる磁電変換素子を含み、前記磁電変換素子は、前記磁性体から生じる磁束を検知するように、前記磁性体の近傍に配置されている」という事項のみで連関していると認められる。

しかしながら、この事項は、先に提示した先行技術文献に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲3-6、26、27、32-34に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求の範囲3-6、26、27、32-34に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

よって、請求の範囲3-6、26、27、32-34に記載された発明は、請求の範囲3、4に記載された発明と請求の範囲5、6、26、27に記載された発明と請求の範囲32-34に記載された発明の3個に区分されることになる。

したがって、この国際出願の請求の範囲には、1-4と5、6、26、27と7と8と9と10と11と12と13と14と15と16と17と18と19-25と29-31、36、37と28、35と32-34とに区分される18個の発明が記載されていると認める。